

⑫ 特許公報 (B2) 昭58-41533

⑬ Int.Cl.<sup>3</sup> 識別記号 庁内整理番号 ⑭公告 昭和58年(1983)9月13日  
G 06 F 7/50 7056-5B 発明の数 2

(全5頁)

1	2
⑮全加減算回路	<p>入力端子と、桁上又は桁借りの一方を表わす第3の信号を受ける第3の入力端子と、加算および減算の一方を指示する制御信号を受ける制御端子と、加算又は減算結果を表わす第1の出力信号を発生する第1の出力端子と、次段への桁上げ又は桁借りを示す第2の出力信号を発生する第2の出力端子と、上記第1および第2の入力端子に結合し、第1および第2の入力信号の排他的論理和出力の真値および補値を発生する加算回路と、前記第3の入力端子と前記第1の出力端子に結合し、上記排他的論理和出力の真値および補値にそれぞれ応答して前記第3の信号の真値および補値を上記第1の出力端子に伝達する答発生回路と、上記第2と第3の入力端子に結合し桁上げ桁借り回路と、上記制御端子と第2の出力端子に結合した選択回路とを有し、上記桁上げ桁借り回路は上記排他的論理和出力の補値および真値にそれぞれ応答して上記第3の信号および第2の信号を上記選択回路に伝達し、上記選択回路は上記制御信号に回答して上記次段への桁上げ信号又は次段への桁借り信号を上記第2の出力端子に伝達するようになされたことを特徴とする全加減算回路。</p>
⑯特 願 昭50-130534	5
⑰出 願 昭50(1975)10月31日	
⑱公 開 昭52-63036	
⑲昭52(1977)5月25日	
⑳発 明 者 小口 哲司 東京都港区芝五丁目33番1号 日 本電気株式会社内	
㉑発 明 者 河合 弘一 東京都港区芝五丁目33番1号 日 本電気株式会社内	10
㉒出 願 人 日本電気株式会社 東京都港区芝五丁目33番1号	
㉓代 理 人 弁理士 内原 晋 外4名	15
㉔特許請求の範囲	
<p>1 演算数信号および被演算数信号の排他的論理和信号を出力する排他的論理和信号発生部と、上げおよび借りのうちの1つを表わす第1の信号を受け上記排他的論理和信号発生部の出力に回答して上記第1の信号およびその否定論理信号のうちの1つを答信号として取り出す答信号発生部と、上記排他的論理和信号発生部の出力に回答して上記第1の信号および上記演算数信号または被演算数信号のうちの一方を上げ信号とし他方を借り信号として取り出す上げおよび借り信号発生部と、加算および減算のうちの1つを指定する信号に回答して上記上げ信号および上記借り信号のうちの1つを選択する選択回路とを含む全加減算回路。</p>	20
<p>2 演算数および被演算数の一方を表わす第1の信号を受ける第1の入力端子と、演算数および被演算数の他方を表わす第2の信号を受ける第2の</p>	25
	発明の詳細な説明
	<p>本発明は加算および減算のうち所望の演算モードを指定することによってその演算結果が出力される全加減算回路に関するものである。</p>
	<p>一般に全加減算回路は3個の2進数入力に対して2個の出力が得られる加減算回路である。従来、全加減算器は例えば第1図に示すような多数のゲート回路で構成され、ゲート回路間の接続も極めて複雑であつた。この回路の動作を示す真理表を下に示す。</p>

⑫ 特 許 公 報 (B 2) 昭59-32819

⑤ Int.Cl.<sup>3</sup>

G 06 F 9/30  
9/26  
9/34

識別記号

庁内整理番号  
C-7218-5B  
B-8120-5B  
7218-5B

⑭公告 昭和59年(1984)8月11日

発明の数 1

(全6頁)

1

2

⑭ アドレス制御装置

⑰特 願 昭50-79834

⑱出 願 昭50(1975)6月26日  
(前置審査に係属中)

⑲公 開 昭52-3350

⑳昭52(1977)1月11日

㉑発 明 者 小口 哲司

東京都港区芝五丁目33番1号 日本  
電気株式会社内

㉒出 願 人 日本電気株式会社

東京都港区芝五丁目33番1号

㉓代 理 人 弁理士 内原 晋

㉔参考文献

特 開 昭49-12736 (JP, A)  
特 開 昭49-116931 (JP, A)  
特 開 昭49-116932 (JP, A)  
特 開 昭50-54259 (JP, A)  
特 開 昭50-72550 (JP, A)

㉕特許請求の範囲

1 情報の読み出しが可能な第1の記憶手段と、命令群が格納された第2の記憶手段と、この第2の記憶手段から読み出した命令を解読し、その解読結果に基づいて制御信号を発生し、これによつて前記第1の記憶手段からの情報の読み出し操作を行なう手段とを有するアドレス制御装置において、前記第1の記憶手段の情報を使用する必要のない命令に対して、該命令に基づいて前記制御信号の発生を禁止し、該制御信号とは別に擬似制御信号を発生し、この擬似制御信号を用いて前記第2の記憶手段から次の命令を読み出す制御回路を設けたことを特徴とするアドレス制御装置。

発明の詳細な説明

本発明はデジタル装置で使用される命令記憶装置のアドレス制御装置に関する。

以下の説明では情報記憶装置としてシフトレジ

スタを用いた計算機を例に取る。この説明で使用されるタイミング関係の用語について第1図を参照して予め説明する。論理レベルに対する記述には論理レベル“H”を“1”、“L”を“0”とした正論理を用いるクロック $\phi_1$ 、 $\phi_2$ は計算機の基本となる刻時パルスで連続して出力され、これらクロック $\phi_1$ 、 $\phi_2$ は同時に“H”となることはない。ビット・タイミング信号 $t_1$ 、 $t_2$ 、 $t_3$ 、 $t_4$ はクロック $\phi_2$ が“H”となると同時に“H”となり次に $\phi_2$ が“H”となると同時に“L”となり、1ビットタイム間出力されるタイミング信号であり $t_1$ から $t_2$ 、 $t_3$ 、 $t_4$ の順に繰返し発生される。デジイットタイミング信号 $D_1$ 、 $D_2$ 、…… $D_{12}$ はビットタイム $t_1$ から $t_4$ の4ビットタイム間連続して出力されるタイミング信号であり、デジイットタイミング信号 $D_1 \sim D_{12}$ の順に繰返し発生される。デジイットタイミング信号 $D_1$ とタイミング信号 $t_1$ の発生時点から次の $D_1 \cdot t_1$ が発生するまでの時間を1ワードタイムと表現する。

従来、一定の循環同期を持ち、情報を保持記憶するシフトレジスタを使用した計算機ではシフトレジスタ本来の性質によつてランダムアクセスが不可能であるため、シフトクロック発生ごとに1ビットずつデータがシフトレジスタから読出されてくる。このためレジスタ全内容に均等にメモリから読出されてくる命令が与えられるように、1循環周期(1ワードタイム)間、同一命令が出力されている。従つて前記メモリのアドレスを指定するアドレスレジスタの内容の更新は通常1ワードタイムごとに行なわれるように固定化されている。具体的に第2図に示す従来の装置では信号 $D_{12} \cdot t_4 \cdot \phi_1$ をアンドゲート回路7にてゲートし、その出力に一定間隔の $\phi_{AR}$ (第5図)を得るようにしそのシフトクロック $\phi_{AR}$ によつて例えばリードオンリーメモリによつて構成された命令記憶手段ROMの読出アドレスを変更し、命令記憶手段

⑫ 特許公報 (B 2)

昭61-8465

⑬ Int. Cl. 4

識別記号

庁内整理番号

⑭公告 昭和61年(1986)3月14日

G 06 F 13/28  
12/00

7165-5B  
6974-5B

発明の数 1 (全12頁)

⑮発明の名称 情報転送装置

⑯特 願 昭55-166297

⑰公 開 昭57-90740

⑱出 願 昭55(1980)11月26日

⑲昭57(1982)6月5日

⑳発 明 者 小 口 哲 司 東京都港区芝五丁目33番1号 日本電気株式会社内

㉑出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

㉒代 理 人 弁理士 内 原 晋

審 査 官 祖 父 江 栄 一

㉓参 考 文 献 特開 昭51-78141 (J P, A) 特開 昭51-80135 (J P, A)

1

2

㉔特許請求の範囲

1 第一の情報記憶装置と第二の情報記憶装置との間で情報転送を行う装置において、上記二つの記憶装置には各々分離された異なる情報記憶位置指定信号線および情報伝達線が接続され、夫々の記憶装置に対して独立に情報記憶位置指定信号を供給する第一と第二の制御器を具備し、第一の制御器は上記第一の記憶装置および第二の制御器に対して情報記憶位置指定信号を供給することによつて第一の記憶装置と第二の制御器との間の情報転送を実行すると同時に、第二の制御器は上記第二の記憶装置に対して独立に情報記憶位置指定信号を供給し第二の制御器と第二の記憶装置との間の情報転送を実行することを特徴とした情報転送装置。

発明の詳細な説明

本発明はデータ転送装置に関し、特にダイレクトメモリアクセス (DMA) 方式を用いたデータ転送装置に関する。

ある装置のデータを他の装置に転送する機能は、情報を処理する上で重要な機能の一つである。データ転送はメモリ装置、中央処理装置 (CPU) 及び周辺機器からなるシステムの中において頻般に行なわれる。初期のデータ転送は、必ずCPUの制御の下で行なわれていた。データ転送の要求があればCPUはデータ転送用のプログラムに基いて転送処理を実行する。しかしながら、データ転送毎にCPUがその処理を実行する

場合、メモリから1バイト分の内容を転送するのに、例えば、42クロック分もの処理サイクルが必要であつた。従つて、画像処理のように高速度でのデータ転送が要求されるシステムには大きな欠点であつた。

この点、最近提案されたダイレクト・メモリ・アクセス (DMA) 方式を用いたデータ転送処理は、上記の欠点を解決する有効な方式である。第1図及び第2図に従来より実施されているDMA転送装置のブロック図を示して、以下にその動作を説明する。DMA転送とは、CPUを介することなく直接メモリ装置と周辺機器との間で行なわれるデータ転送である。従つて、DMA転送機能を有する情報処理システムはDMA制御装置を有している。

第1図はDMA転送機能を有する情報処理システムのブロック図である。ここでは、メモリ装置と周辺機器 (以下、I/O機器という) との間でDMA転送が行なわれる。システムはCPU 1、メモリ 2、DMA制御装置 3 及び I/O機器 4 とを含む。CPU 1 とメモリ 2 とはアドレスバス 10 及びデータバス 11 で接続されている。更に、データの読み出し及び書き込みのタイミング指示を行なう第1の制御信号バス 13 が、CPU 1 からメモリ 2 に接続されている。一方、I/O機器 4 にはアドレス指定の必要がないため、データバス 11 に接続されている。DMA制御装置 3 はアドレスバス 10、データバス 11 及び制御信号バス

⑫ 特許公報(B2)

昭61-25180

⑮ Int. Cl.<sup>4</sup>  
G 06 F 13/42  
5/06

識別記号 庁内整理番号  
7165-5B  
7230-5B

⑳ 公告 昭和61年(1986)6月14日

発明の数 1 (全4頁)

㉓ 発明の名称 データ処理装置

㉔ 特 願 昭56-16079

㉕ 公 開 昭57-130137

㉖ 出 願 昭56(1981)2月5日

㉗ 昭57(1982)8月12日

㉘ 発 明 者 松 本 恵 治 東京都港区芝五丁目33番1号 日本電気株式会社内

㉙ 発 明 者 小 口 哲 司 東京都港区芝五丁目33番1号 日本電気株式会社内

㉚ 出 願 人 日本電気株式会社 東京都港区芝五丁目33番1号

㉛ 代 理 人 弁理士 内 原 晋

審 査 官 祖 父 江 栄 一

㉜ 参 考 文 献 特開 昭52-63624 (JP, A)

1

㉞ 特許請求の範囲

1 情報処理部と、該情報処理部へ入力させる情報を受信する信号線と、該信号線に接続され、受信した情報を一時的に記憶する記憶部と、前記信号線と前記情報処理部との間に接続されたゲートと、前記記憶部の出力を前記情報処理部に加える手段と、該情報処理部が処理を実行中であるか否かを示す信号を受けて、前記信号が処理中でないことを示している時は前記ゲートを開き、前記信号線上の情報を前記情報処理部に直接入力し、前記信号が処理中であることを示している時は、前記ゲートを閉じ前記信号線上の情報を前記記憶部に記憶せしめる手段とを有することを特徴とするデータ処理装置。

発明の詳細な説明

この発明はデータ処理装置、特にアドレスバスおよびデータバスを備え、これらバスを介して中央処理装置から書込まれるコマンドおよびデータにより処理を進める周辺処理装置に関するものである。

従来、この種の周辺処理装置は、周辺処理装置の内部処理実行状態を示す情報(以下ステータスとする)を有し、中央処理装置が、このステータスを監視しながら周辺処理装置へコマンドおよびデータを書込むことによつて処理を進めるように構成されていたので、中央処理装置と周辺処理装置との間のコマンドおよびデータのやりとりの処

2

理が煩雑で特に周辺処理装置におけるコマンドおよびデータに対する処理が長くなる場合、中央処理装置におけるステータスの監視時間も長くなるという欠点があつた。

5 この発明の目的は上記欠点を除去し、周辺処理装置のステータスに依存せずに中央処理装置がコマンドおよびデータを周辺処理装置に書込むことができる周辺処理装置を提供することにある。

10 上記目的を達成するために、この発明によるとアドレスバスおよびデータバスからの情報に基づいて処理を進める装置においてアドレスバスおよびデータバスからの情報を蓄える1以上のバッファレジスタならびにこれらのバスからの情報に対する処理状態を示す信号を備え、この信号が処理  
15 実行中であることを示している期間にさらにこれらのバスから情報が書込まれた場合に、これらの情報をこのバッファレジスタに蓄えることを特徴とするデータ処理装置を得ることができる。

以下にこの発明の一実施例を詳細に説明する。  
20 第1図はこの発明によるデータ処理装置の一実施例の構成図で1は中央処理装置、2は周辺処理装置、3はバッファレジスタ、4は情報処理部、5はアドレスバス、6はデータバス、7は5および6のそれぞれのバスからの情報に対する処理を実  
25 行中であるか否かを示す信号、8は中央処理装置1より周辺処理装置2へ情報を書き込むための信号、9および10はバッファレジスタ3より情報

⑫ 特許公報 (B 2) 昭61-56516

⑥ Int. Cl. 4	識別記号	庁内整理番号	⑭ 公告	昭和61年(1986)12月2日
G 09 G	1/14	8121-5C		
	1/02	7923-5C		
	1/16			
	1/28	B-8121-5C		発明の数 1 (全12頁)

⑬ 発明の名称 映像発生装置

⑰ 特 願 昭53-96082

⑮ 公 開 昭55-23558

⑱ 出 願 昭53(1978)8月9日

⑲ 昭55(1980)2月20日

⑲ 発 明 者 小 口 哲 司 東京都港区芝五丁目33番1号 日本電気株式会社内  
 ⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号  
 ㉑ 代 理 人 弁理士 芦田 担 外2名  
 審 査 官 山 崎 達 也

1

2

⑳ 特許請求の範囲

1 文字、図形の入出力及び位置の移動等を制御する順序を予め記憶する順序記憶制御手段と、該順序記憶制御手段から与えられる文字・図形及び種類を記憶するデータ記憶手段と、該データ記憶手段の内容によつて直接アドレスされ、該アドレス位置から必要な文字図形を発生する文字図形変換手段と、前記データ記憶手段のアドレスデータを記憶し、前記データ記憶手段に対し、前記アドレスデータにより読み出すべきアドレスを指示する書き換え可能なアドレス記憶手段とを有することを特徴とする映像記憶装置。

発明の詳細な説明

本発明はテレビジョン等の表示端末に、文字、図形等のパターンを表示させるための映像発生装置に関する。

一般に、この種の映像発生装置には、表示端末内部で発生されたラスタを順次変調する形式のものがある。従来、この形式の映像発生装置として、表示すべき文字、図形の位置を移動させ得る装置が提案されている(特開昭52-76832号公報参照)。この映像発生装置はランダムアクセスメモリ(RAM)によつて構成される画像記憶装置、リードオンリメモリによつて構成されたキャラクタジェネレータ等のほかに、文字図形の位置及びその種類を記憶する制御記憶装置を備えている。この構成では、比較的大容量の制御記憶装置を必要とするため、映像発生装置の大型化は避け

られない。したがつて、小容量のメモリを用いて、同様の機能を満足できれば、極めて好ましいと考えられる。

一方、従来の映像発生装置には、画面に点や線を描くグラフィック表示に適したものと、画面に文字を描くキャラクタ表示に適したものとがある。このうち、グラフィック表示では特に、線の交差あるいは移動図形が他の図形と交差することが多い。これらの場合、一方の図形が消去され、他方の図形のみが表示されるため、外観上不合理な図形が表示される。また、キャラクタ表示の際にも、異なる色の文字を重ねて表示できる方が好ましいことも多い。

更に、映像発生装置に一覧表を描かせる場合、各列又は欄の区切りを示すために、一連のアンダラインあるいはバーチカルラインを表示する必要がある。また、各区切り毎に配色の異なつた文字背景を必要とすることもある。これらの要求を満たすためには、記憶容量を増加させなければならない。したがつて、装置価格の高騰は免れない。

本発明の目的は映像発生装置を構成する各種メモリのうち、画像記憶装置の容量を削減することができ、且つ、文字図形の移動等も可能な映像発生装置を提供することである。

本発明の他の目的は異種の図形が交差重畳した場合、要求に応じて、優先表示、選択表示、あるいは、混合表示等を任意に行なうことができる映像発生装置を提供することである。

## ⑫ 特許公報(B2)

昭62-7552

⑬ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭⑮公告 昭和62年(1987)2月18日

G 09 G 1/02  
G 11 C 11/347923-5C  
7230-5B

発明の数 1 (全7頁)

⑯ 発明の名称 画像制御方式

⑰ 特 願 昭54-70341

⑱ 公 開 昭55-163578

⑲ 出 願 昭54(1979)6月5日

⑳ 昭55(1980)12月19日

㉑ 発 明 者 小 口 哲 司 東京都港区芝五丁目33番1号 日本電気株式会社内  
 ㉒ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号  
 ㉓ 代 理 人 弁理士 内 原 晋  
 審 査 官 加 藤 恵 一  
 ㉔ 参 考 文 献 特開 昭53-145438 (JP, A)

1

2

## ㉕ 特許請求の範囲

1 表示画面上の所定の位置に表示されるパターンの画像信号あるいはこの画像信号をアドレス指定するための画像制御信号を記憶部から読み出して表示画面上に表示する画像制御方式において、前記パターンを前記表示画面上で拡大表示する時、第1の期間でこの拡大表示すべきパターン

5 の前記画像信号あるいは画像制御信号を前記記憶部から読み出して前記表示画面に表示し、前記第1の期間に連続する第2の期間で前記表示画面上に

10 前記拡大表示すべきパターンを前記第1の期間に連続して表示するとともに前記記憶部内に格納されている前記画像信号あるいは画像制御信号の記憶内容を再生することを特徴とする画像制御方式。

## 発明の詳細な説明

本発明は陰極線管(CRT:カソードレイチューブ)等に表示される画像を形成する画像信号の制御方式に関し、特にリフレッシュ動作が要求されるダイナミックメモリを用いて画像の拡大表示

20 を行う画像制御方式に関する。

近年、デジタル処理のマイクロプロセッサを用いて画像信号を制御し、CRT等の表示面上にラスタースキャン方式により文字、図形等のパターンを表示させる画像制御装置が数多く作成され

25 ている。

この画像制御装置は表示すべき映像パターンデータをメモリの中に記憶し、ラスタースキャンに対応

して表示順に読み出しを実行するものであるが、メモリとして半導体集積回路メモリが一般に用いられている。半導体集積回路メモリには1定周期毎に記憶内容の再書き込み(リフレッシュ)を必要とするダイナミック型メモリとリフレッシュの必要がなく自己保持機能をもつスタティック型メモリとがあるが、低価格で提供できかつ記憶容量の大きいダイナミック型メモリが画像制御装置の映像メモリとして有用である。しかしながら、この場合リフレッシュ動作を円滑に行なわなければ、パターン表示は極めて短時間で消えてしまつたり、画像が部分的に表示できなくなるという大きな問題点がある。

従来ダイナミック型メモリとして書き込み及び

15 読み出しが可能なRAM(ランダムアクセスメモリ)を映像メモリに用いた場合、CRT画面上でのラスタースキャンと映像メモリへのアドレス進行とは第1図に示すような方式で行なわれていた。即ち、CRT画面上を走査する第1走査線の出力時に、この走査方向に沿ってアドレス000~03F(16進表示)番地に格納されている映像データが順次読み出されて第1図のアドレスと対応する位置に画像パターンとして映出される。以下アドレス040~07F番地、080~0BF番地、……に格納

20 されている映像データは第2、第3の走査線出力に対応して映像メモリから読み出されて画面上にパターン化される。この様に、映像メモリに格納されている映像データがアドレス順に連続して読

## ⑫ 特許公報(B2)

平1-27469

⑬ Int. Cl.<sup>4</sup>

G 06 F 15/72

識別記号

3 5 5

庁内整理番号

U-6615-5B

⑭公告

平成1年(1989)5月29日

発明の数 1 (全8頁)

⑮発明の名称 描画アドレス演算方式

⑯特 願 昭58-82064

⑰公 開 昭59-206982

⑱出 願 昭58(1983)5月11日

⑲昭59(1984)11月22日

⑳発 明 者 小 口 哲 司 東京都港区芝五丁目33番1号 日本電気株式会社内  
 ㉑出 願 人 日本電気株式会社 東京都港区芝五丁目33番1号  
 ㉒代 理 人 弁理士 内 原 晋  
 審 査 官 岡 部 恵 行

1

2

## ㉓特許請求の範囲

1 描画位置のXアドレスを示すデータを格納する第1レジスタと、描画位置のYアドレスを示すデータを格納する第2レジスタと、前記第1レジスタの内容を1つずつ増加させる第1の手段と、前記第1レジスタの内容を1つずつ減少させる第2の手段と、前記第2レジスタの内容を1つずつ増加又は減少させる第3の手段と、前記第1および第2レジスタに描画開始点のXおよびYアドレスを示すデータをそれぞれ転送する手段とを備え、前記第1の手段による前記第1レジスタの内容の増加と前記第2の手段による前記第1レジスタの内容の減少との切換えを前記第3の手段による前記第2レジスタの内容の変化毎に行なうことを特徴とする描画アドレス演算方式。

## 発明の詳細な説明

本発明はラスタ走査型CRTを用いた文字、図形(パターン)表示装置のパターン情報を記憶する映像記憶器の内容の1ビットもしくは複数のビットで表示パターンの1ドットを構成しているグラフィック装置において、描画すべき位置のアドレスを演算して求める描画アドレス演算方式に関する。

コンピュータ端末装置としてラスタ走査型CRTを用いたグラフィック表示/描画装置は、必要とする大容量映像情報記憶器が高度に集積回路化されるに伴って、その価格が低下し、急激に普及しつつある。グラフィック表示/描画装置に内蔵されている映像情報記憶器に映像情報を入

力するには、大別して次の2種の技術がある。

第1は、データ・ベースに基づいて、直線、円、グラフィック文字等を描画する機能を持った描画装置によって映像情報を創造するものであり、第2は、テレビ・カメラ等の画像をスキャナーによって得られるアナログ信号をデジタル化して情報を蓄わえるものである。

文字描画を行う装置としては、二点間を直線で結ぶことによつて文字を形成するようにした一般にストローク法と呼ばれる方法を採用したものと、文字のドット構成情報を参照しつつ、ドット単位の描画を行う方法を採用したものととの2種があり、従来より実施されている。

ストローク法は、従来よりダイレクト走査型CRTを使用したグラフィック装置において既に用いられていた方法であり、ラスタ走査型CRTを使用したグラフィック装置においても使用される場合がある。この場合には、二点間を結ぶ実線による直線描画の繰返しによつて文字を構成するものである。第1図は、ストローク法による文字描画例であり、図示されている文字“A”を描画する為合計6回の実線による直線描画を実行しなければならない。このストローク法では描画を線単位で行うため、文字を形成するドット構成に細かいアクセントをつけようとする線描画の回数が増大し処理が大変である。しかも漢字のように文字外形が大きい場合であつても線の幅を変更することが困難であるため、良好な文字表示品質を得ることができない。さらに、文字を座標変化

⑫ 特許公報 (B2)

平1-46891

⑬ Int. Cl. 4

G 06 F 12/00  
15/66

識別記号

3 0 4  
3 4 0

庁内整理番号

K-8841-5B  
8419-5B

⑭ 公告 平成1年(1989)10月11日

発明の数 1 (全5頁)

⑮ 発明の名称 情報処理装置

前置審査に係属中

⑯ 特 願 昭54-148031

⑰ 公 開 昭56-71154

⑱ 出 願 昭54(1979)11月15日

⑲ 昭56(1981)6月13日

⑳ 発 明 者 小 口 哲 司 東京都港区芝五丁目33番1号 日本電気株式会社内

㉑ 出 願 人 日本電気株式会社 東京都港区芝五丁目33番1号

㉒ 代 理 人 弁理士 内 原 晋

審 査 官 大 橋 隆 夫

㉓ 参 考 文 献 特開 昭51-118335 (JP, A) 特公 昭53-5099 (JP, B2)

1

2

㉔ 特許請求の範囲

1 情報群を記憶する記憶部と、該記憶部の番地を指定する番地指定部と、この番地指定部によって指定された番地から読み出された所定ビットからなる情報群の特定のビットに修正を加える情報修正部と、前記所定ビットと同数のシフトビットを有するシフトレジスタと、前記情報修正部で修正されるべき前記特定のビットの位置の指定を行なうビット位置指定部とを具備し、前記情報修正部は実際に修正を行なう修正ゲート部と修正を行なうことなく入力されたビットをそのまま出力する非修正ゲート部とを対として各ビット毎に有しており、前記記憶部から読み出された前記情報のうち前記ビット位置指定部で指定されたビットは前記修正ゲート部へ入力し、指定されないビットは前記非修正ゲート部へ入力することによって、修正ビットと非修正ビットとを同時に前記記憶部の前記指定された番地へ書き込み、かつ次に修正すべき情報のビット位置の指定は前記ビット位置指定部のシフト操作によって実行することを特徴とする情報処理装置。

発明の詳細な説明

本発明は読み出し書き込み可能メモリ(ランダム・アクセス・メモリ:RAM)を有する情報処理装置に関する。

従来上記情報処理装置が付随する(場合によっては装置内部に含まれる)記憶装置(RAM)の番地指定は、通常2進符号で構成されるアドレス

指定部によって行なわれていた。例えば、ワード(16ビット)単位でアドレスが割り付けられた記憶装置では、1個のワード・アドレスで16ビットのデータを同時に記憶装置に入出力していた。

5 近年開発されたラスタ・スキヤン型カソード・レイ・チューブCRTのスクリーン上に、文字図形等を表現させるグラフィック表示装置においては、映像情報を示すドット情報を記憶する為に使用される情報処理装置が有する記憶装置の価格が、半導体メモリの採用によって年々低廉化しており、グラフィック表示装置等への半導体メモリの応用が活発化してきている。一方、グラフィック表示の変わりに文字表示を行なう場合には、1文字を7ビット乃至8ビット構成の2進符号で表現しており、ドット単位(ビット単位)の番地指定をする必要はなかつた。しかしながら、グラフィック表示装置として使用する時は、各ドットを1つ1つ描画する事によって文字図形を表現している。記憶装置内の各ドットを直接ドット毎に番地指定できる事が望まれる。この要求から

10 ワード・アドレス部とは別に、さらに2進符号で構成されるドット・アドレス部を付加した構成の情報処理装置が提供されている。ここで、グラフィック表示装置は、基本的に記憶装置の1ビット

15 がスクリーン上の文字図形の1ドットに対応しており、スクリーン上の表示ドット数が横方向1024ドット、縦方向1024ドットであるとする、記憶容量は少なくとも1024×1024=1メガビット



⑫ 特許公報 (B2)

平3-5755

⑬ Int. Cl.<sup>5</sup>

G 09 G 5/00

識別記号

Z  
M

庁内整理番号

8121-5C  
8121-5C

⑭公告 平成3年(1991)1月28日

発明の数 1 (全8頁)

⑮発明の名称 映像アドレス制御装置

⑯特 願 昭58-142916

⑰公 開 昭60-33590

⑱出 願 昭58(1983)8月4日

⑲昭60(1985)2月20日

⑳発 明 者 小 口 哲 司 東京都港区芝5丁目33番1号 日本電気株式会社内

㉑出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

㉒代 理 人 弁理士 内 原 晋

審 査 官 山 崎 達 也

1

2

㉓特許請求の範囲

1 映像データを格納する映像メモリのアドレスを順次変化させ、読出したデータを表示器に表示する映像表示システムの映像アドレス制御装置において、表示アドレスを記憶する表示アドレスレジスタと、1単位文字又は図形表示区間毎に内容がクリアされるカウントレジスタと、前記映像メモリの表示進行方向のアドレス数を記憶するピッチレジスタと、アドレスの演算方法を設定するフラグレジスタと、該フラグレジスタの設定に基づいて所定のアドレス演算と制御を行うアドレス演算制御手段とを含むことを特徴とする映像アドレス制御装置。

発明の詳細な説明

〔発明の属する技術分野〕

本発明は映像表示システムにおいて、映像メモリに送出する表示および格納するためのアドレスの制御を行う映像アドレス制御装置に関する。

〔従来技術〕

表示器として、ラスタースキャン形CRTを使用した映像表示システムでは、大容量の映像メモリに表示すべきデータを格納する(この動作を以下、描画という。)際には描画のためのアドレスを供給し、映像メモリのデータを読出して表示を行なうときには、表示アドレスを供給する。この表示アドレスを順次変更することによって、異なる表示データを映像メモリから読出し、映像直列信号を得ることは良く知られている。表示データ

を映像メモリから読出す従来の映像アドレス制御装置には、大別して、以下に記述する2種のものがある。

第1図は映像アドレス制御装置としての映像メモリアドレス発生器を含めた従来の映像表示システムの一例の要部を示すブロック図である。画面表示ドット数が256×256で構成され、映像メモリの1ビットが白黒2値画面表示の1ドットに対応し、1アドレスが16ビットに対応している映像メモリ構成を取るグラフィック表示を例にとると、画面の横方向に走査する1本の走査線期間の表示に要するアドレス数は256/16で表わされ、16アドレスである。さらに、画面縦方向に256本の走査線表示期間部を取る場合には、映像メモリとして16×256、すなわち、4096アドレス16ビットの容量を持つメモリが必要となる。この容量は後述する第2の従来装置の場合についても同様である。

映像メモリアドレス発生器1は上記4096アドレスを番地づけするに足るビット数(12ビット)を持ったインクリメンタであり、1単位時間(本従来例では16ドット表示時間)毎に“1”だけ内容が増加する。さらに、1画面表示の終了とともにその内容は40”にクリアされ、次の画面表示のための準備をする。この映像メモリアドレス信号は、中央処理装置(CPU)(図示していない)からCPUアドレスバス8を介して供給されるアドレス信号が一方に入力されるアドレスバス切換

⑫ 特許公報 (B2) 平2-14714

⑬ Int. Cl.<sup>5</sup>  
G 09 G 1/00

識別記号 庁内整理番号  
8121-5C

⑭ 公告 平成2年(1990)4月9日

発明の数 1 (全11頁)

⑮ 発明の名称 画像制御装置

審判 昭61-11678 ⑯ 特願 昭55-82484 ⑰ 公開 昭57-8584  
⑱ 出願 昭55(1980)6月18日 ⑲ 昭57(1982)1月16日

⑳ 発明者 小口 哲司 東京都港区芝五丁目33番1号 日本電気株式会社内

㉑ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号

㉒ 代理人 弁理士 内原 晋

審判の合議体 審判長 白樫 栄一 審判官 堤 隆人 審判官 石川 伸一

㉓ 参考文献 特開 昭53-71535 (JP, A) 特開 昭53-86122 (JP, A)

1

2

㉔ 特許請求の範囲

1 直交座標系でX軸及びY軸と交差する円の交点データを記憶する記憶部と、前記X軸と交差する円の交点データのうちそのY座標データを所定数ずつ変化させた時の円周上でのX座標データを  
5  $X = \sqrt{r^2 - Y^2}$  (rは半径) から算出する第1の演算部と、前記Y軸と交差する円の交点データのうちそのX座標データを所定数ずつ変化させた時の円周上でのY座標データを  $Y = \sqrt{r^2 - X^2}$  から算出する第2の演算部と、前記第1及び第2の演算部での演算実行の切り換えを制御する制御部とを含み、前記制御部はX座標の変化に比べてY座標の変化が大きい範囲では前記第1の演算部を用いて演算を行ない、Y座標の変化に比べてX座標の変化が大きい範囲では前記第2の演算部を用いて演算を行なうように制御することを特徴とする画像制御装置。

発明の詳細な説明

本発明はCRT(カソード・レイ・チューブ)、プリンター等の表示装置に表示すべき画像データを作成する為の画像制御装置に関し、特に円図形もしくは円図形の一部(弧)の描画データを作成するための機構を有する画像制御装置に関する。

従来の画像データ作成用の制御装置は主として2種類に大別される。かかる2種類の制御装置には後述するように乗算機構や関数演算機構等複雑でかつ長時間の演算を要する機能が具備されてお

り、高速でデータを作成することができなかつた。しかしながら、このような機能は従来の制御方式には欠くべからざるもので、円図形等の画像データを高速で作成することは困難であつた。以下に、円画像データを作成する従来の制御方式を提示して上記欠点を明らかにする。

その第1は、円の方程式  $x^2 + y^2 = r^2$  を基にしてX座標、又はY座標を1座標単位(1ドット単位)で変更しながら描画すべき円上の点を表示装置のドット位置として算出していく方式である。より具体的な説明を加えると以下の如くとなる。

中心座標(h, k)、半径rの円を点(h+r, k)より描画を開始し、X座標方向に1座標単位で座標を変更しながらY座標を算出し、円描画を行なう場合、

X座標(xn)は

$$x_n = h + r, (h + r) - 1, (h + r) - 2, \dots$$

$$h, \dots, h - (r - 1), h - r \quad \dots \text{①}$$

のように(h+r)から(h-r)の座標まで“1”ずつ減算され、その都度Y座標が、

$$y_n = \pm \sqrt{r^2 - (x_n - h)^2} + k \quad \dots \text{②}$$

の式から算出される。

この第1の円描画方式では、②式から明らかのように表示座標1ドットの算出毎に2回の整数乗算、1回の実数平方根演算、3回の整数加減算を必要とする。その為、乗算回路、平方根演算回

⑫ 特許公報 (B 2)

平2-51198

⑮ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公告 平成2年(1990)11月6日

G 09 G 1/02

A

8121-5C

発明の数 1 (全5頁)

⑲ 発明の名称 表示装置

審判 昭63-20242

⑳ 特願 昭56-51417

㉑ 公開 昭57-165890

㉒ 出願 昭56(1981)4月6日

㉓ 昭57(1982)10月13日

㉔ 発明者 小口 哲司 東京都港区芝五丁目33番1号 日本電気株式会社内

㉕ 発明者 香園 一郎 東京都港区芝五丁目33番1号 日本電気株式会社内

㉖ 出願人 日本電気株式会社 東京都港区芝5丁目7番1号

㉗ 代理人 弁理士 内原 晋

審判の合議体 審判長 宇山 紘一 審判官 村井 誠次 審判官 植松 伸二

㉘ 参考文献 特開 昭53-132227 (J P, A)

1

2

㉙ 特許請求の範囲

1 表示情報が格納されるN個(Nは2以上の整数)のメモリと、N(Nは2以上の整数)づつ値を歩進する機能を有するアドレス発生回路と、該アドレス発生回路から出力されるアドレスの上位アドレスビットを前記複数のメモリに共通に供給するアドレスバスと、描画サイクルで前記アドレス発生回路から出力されるアドレスの下位アドレスビットの内容に応じて前記N個のメモリの1つを選択する回路と、表示サイクルで前記アドレス発生回路から出力されるアドレスの下位アドレスビットを無視して上位アドレスビットにより前記N個のメモリを同時に選択する回路とを有し、描画サイクルでは1つのメモリに対して読み出し/書き込みを行ない、表示サイクルではN個のメモリから同時に表示情報を読み出すことを特徴とする表示装置。

発明の詳細な説明

本発明は画像処理装置において、表示用機器に画像用データの表示を行なう表示装置に関する。陰極線ブラウン管(以下、CRTという)を使用して、リフレッシュメモリに格納された情報を表示する機能が画像処理装置の重要な機能の一つとして要求されている。従来の表示装置における動作を図面を用いて説明する。第1図は従来のアドレス発生回路とnビットを基本単位とする映像

用データが格納されているリフレッシュメモリ(以下、映像メモリという)とその周辺装置からなる表示装置のブロック図である。表示を開始する前に、あらかじめ中央処理装置(CPU)から映像メモリ1の表示開始アドレスがシステムデータバス6を経由してアドレス発生回路2のディスプレイアドレスレジスタ(以下DADレジスタ)に設定される。アドレス発生回路から表示開始アドレスが、アドレスバス5に出力され、映像メモリのアドレスに与えられる。映像メモリから読み出されたデータはロードクロック9(Loadφ)によつて、並列一直列変換シフトレジスタ3にロードされ、外部回路によつて発生させるシフトクロック10(Shiftφ)によつてシフトされ、映像直列信号11となりCRTに供給される。アドレス発生回路では、表示開始アドレスを基にして、DAD+1→DAD(DADレジスタの内容を+1してDADレジスタに設定する)のアドレス演算を行ない上記動作を繰り返すというようにして表示を行なう。第1図のブロック構成を持つ表示装置では、映像メモリのデータバス幅nによつて1回のアクセスで表示できる情報量が設定されてしまう。この方法では表示する情報量が増大化するに連れて、アドレスを映像メモリに頻繁に与えてやる必要があるため、これに費やす時間が多大なものになり、より高速な表示動作が要求される

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許出願公告番号

特公平7-95346

(24) (44)公告日 平成7年(1995)10月11日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 T 9/20 11/40		7459-5L 9365-5L	G 0 6 F 15/ 70 15/ 72	3 3 5 Z 4 0 0

請求項の数1(全 11 頁)

(21)出願番号	特願昭63-42750	(71)出願人	999999999 日本電気株式会社 東京都港区芝5丁目7番1号
(22)出願日	昭和63年(1988)2月24日	(72)発明者	小口 哲司 東京都港区芝5丁目33番1号 日本電気株式会社内
(65)公開番号	特開昭64-1075	(72)発明者	大内 光郎 東京都港区芝5丁目33番1号 日本電気株式会社内
(43)公開日	昭和64年(1989)1月5日	(74)代理人	弁理士 京本 直樹 (外3名)
(31)優先権主張番号	特願昭62-44840	審査官	平井 誠
(32)優先日	昭62(1987)2月27日	(56)参考文献	特開 昭60-147883 (J P, A) 特開 昭58-191064 (J P, A)
(33)優先権主張国	日本 (J P)		

(54)【発明の名称】 画像処理装置

1

【特許請求の範囲】

【請求項1】表示メモリに格納された表示データをNビット単位で読み出し各ビットのデータを検出して図形の境界を検索する画像処理装置において、境界検索の開始点のデータに応じてMビット ( $0 \leq M \leq N - 1$ ) のマスク情報を発生するマスク情報発生回路と、前記表示メモリから読みだされたNビットの表示データのうち前記マスク情報に応じて所定ビットを非マスクデータとして出力するマスクゲート手段と、検索情報に応じて前記非マスクデータの低位ビットからデータ“1”の検索を行うか、前記非マスクデータの上位ビットからデータ“1”の検索を行うか、前記非マスクデータの低位ビットからデータ“0”の検索を行うかまたは前記非マスクデータの上位ビットからデータ“0”の検索を行うかの検索方法を選択し選択された検索方法に従って境界点位置情報を発生

2

する位置情報発生回路とを有することを特徴とする画像処理装置。

【発明の詳細な説明】

〔産業上の利用分野〕

本発明は表示メモリを管理し図形を描画する画像処理装置に関し、特にそのような処理装置に設けられて図形の境界を検索する境界検索回路に関する。

〔従来の技術〕

画像処理装置の機能の一つに閉ループによって規定された図形の内部又は外部を任意の模様で塗りつぶす機能がある。そのためには、その図形の境界を検索する必要がある。ディスプレイの表示画面の1ドットは表示メモリの1ビットにそれぞれ対応しているため、表示メモリの内容を1ワード単位で読み出し各ワードにおける各ビットのデータを検出して図形の境界を検索している。

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許出願公告番号

特公平7-107664

(24) (44) 公告日 平成7年(1995)11月15日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 7/52	3 1 0 A			

発明の数1(全 4 頁)

(21) 出願番号	特願昭62-31026	(71) 出願人	999999999 日本電気株式会社 東京都港区芝5丁目7番1号
(22) 出願日	昭和62年(1987)2月13日	(72) 発明者	小口 哲司 東京都港区芝5丁目33番1号 日本電気株式会社内
(65) 公開番号	特開昭63-198125	(74) 代理人	弁理士 京本 直樹 (外2名)
(43) 公開日	昭和63年(1988)8月16日		審査官 斉藤 操
		(56) 参考文献	特開 昭57-71045 (J P, A) 特開 昭54-47539 (J P, A)

(54) 【発明の名称】 乗算回路

1

【特許請求の範囲】

【請求項1】乗数データの全ビットが初期状態においてセットされる第1のレジスタと、被乗数データの全ビットが初期状態においてセットされる第2のレジスタと、第3のレジスタと、前記第1のレジスタの最下位ビットを除く残りのビットデータを受け当該ビットデータを最下位側に1ビットシフトしてかかるシフトデータを前記第1のレジスタに再設定する第1のシフトと、前記第1のレジスタの最下位ビットを除く残りのビットデータを前記第1のシフトと並行して受け当該ビットデータが零であるかどうかを検出する零検出器と、前記第2のレジスタの全ビットデータを受け当該全ビットデータを最上位側に1ビットシフトしてかかるシフトデータを前記第2のレジスタに再設定する第2のシフトと、前記第2のレジスタの全ビットデータを前記第2のシフトと並行して

2

受けるとともに前記第3のレジスタのデータを受け、前記第1のレジスタの最下位ビットが零のときは両者の加算を行わず1のときは両者の加算を行ってその結果を前記第3のレジスタに設定する加算器とを備え、前記第1のシフト、前記第2のシフトおよび前記加算器のそれぞれの動作が1クロックで実行されるように成すとともに、前記零検出器が前記ビットデータが零であることを検出したときであってそのときの前記第1レジスタの最下位ビットが零であるときに乗算処理を終了する乗算回路。

【発明の詳細な説明】

本発明は乗算回路に関し、とくにデジタル処理で用いられる乗算回路に関する。

(従来技術)

C = A × B のような乗算を行うとき、A を被乗数、B を

10