

⑫ 公開特許公報 (A)

昭62-237522

⑬ Int. Cl. 4

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)10月17日

G 06 F 7/00

G-7313-5B

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 情報処理装置

⑯ 特 願 昭61-81709

⑰ 出 願 昭61(1986)4月8日

⑱ 発 明 者 小 口 哲 司 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

とを特徴とする情報処理装置。

1. 発明の名称

情報処理装置

2. 特許請求の範囲

1個の記憶番地に記載されているN個のビット(Nは正の整数)を同時に読み書き可能な記憶器に対し処理すべきデータの読み書きを実行する情報処理装置において、上記N個のビットのうち処理を開始するビット位置を記憶する第一の記憶器と、処理を終了するビット位置を記憶する第二の記憶器と、上記第一の記憶器により指示されたビット位置から上記第二の記憶器により指示されたビット位置までのデータ処理のみを活性化するための処理マスク制御信号を発生する制御器とを具備し、1個の記憶番地に記憶されているN個のビットのうち任意のビット位置から始まるnビット(nは正の整数でありn ≤ N)の長さを持つビット列に対する選択的なデータ処理を可能としたこ

3. 発明の詳細な説明

[産業上の利用分野]

本発明はデジタル情報処理装置に関し、さらに詳しくは、ある大きさを持ったデータ列のうち一部のビットについてのみ選択的に演算処理する情報処理装置に関する。

[従来技術]

従来から使用されている情報処理装置では1個の記憶番地に記憶されているNビットのデータはN本のデータバスを經由してNビットが同時に読み書きされる。例えば8ビットのプロセッサであれば8ビットのデータバスを持ち8ビット(1バイト)で構成されるデータを同時に読み書きし、16ビットのプロセッサでは16ビット(2バイト)のデータを同時に読み書きする。このときプロセッサが持つ命令が取り扱うデータの最小区分は通常1バイトであり、A+B=Cの演算を実行する際には少なくとも1バイトのデータすべてが

その演算に關与せねばならなかつた。

〔従来技術の問題点〕

しかしながら、1バイトのデータをさらに細分化し、ある一部のビットに対してのみ命令実行を有効にしたい場合がある。このような場合、従来技術ではビットシフト命令を用いて選択されたビット列をバイトの境界点にまで移動させたり処理対象となるビット列を論理演算命令を用いて抽出したりせねばならず補々の命令を組み合わせて所期の目的を達成していた。このため、処理速度が著しく低下してしまっていた。

〔問題点を解決するための手段〕

本発明ではN個のビットのうち処理を開始するビット位置を記憶する第一の記憶器と処理を終了するビット位置を記憶する第二の記憶器と上記第一の記憶器により指示されたビット位置から上記第二の記憶器により指示されたビット位置までのデータ処理のみを活性化するための処理マスク制御信号を発生する制御器とを具備することにより、N個のビットのうち任意のビット位置から始まる

に対する重み付けが等しい2本の出力線を入力する16個の2入力ANDゲートで構成されるゲート群であり処理開始ビット位置から処理終了ビット位置までを指示する16本のマスク制御信号線を出力する。7は演算指令器8からの制御信号を受けるとともにANDゲート群6が発生するマスク制御信号を入力し演算処理などをマスク制御信号で示されたビット位置に対してのみ選択的に実行する演算器である。

以下、第3図を用いて上記ANDゲート群6が発生するマスク制御信号の発生の方法および推移について説明する。本実施例では1個の記憶番地に16ビットのデータを記憶する記憶器があり、その記憶番地EADがKである番地のビット記憶番地が9である位置に記憶されている内容から記憶番地EADがK+2の番地のビット記憶番地が3である位置に記憶されている内容までのデータに対してのみ演算処理を実行する場合を例に取っている。すなわち1個の記憶番地内だけでなく3個の番地にまたがった処理について示した。

nビット(nは正の整数であり $n \leq N$ )の長さを持つビット列のみに対する選択的なデータ処理を可能としている。

〔実施例〕

第1図は本発明の一実施例におけるブロック図である。1は演算指令発生器8からの制御信号を受け演算処理の開始ビット位置を記憶する第一の記憶器2の設定値を発生するとともに演算処理の終了ビット位置を記憶する第二の記憶器3の設定値を発生する制御器であり、4は上記第一の記憶器2の値に従って定数を発生するゲート群、同様に5は上記第二の記憶器3の値に従って定数を発生するゲート群である。これら第一の記憶器2および第二の記憶器3の設定値に従ってどのような値がゲート群4および5から出力されるかについては第2図に示してある。本実施例においては第一の記憶器2および第二の記憶器3は各々4ビットのレジスタ、ゲート群4および5は各々16ビットの信号を出力する。6はゲート群4および5から出力された各々16本の出力線のうちビット

処理の実行を開始する前にあらかじめ演算指令発生器8からは処理開始ビット位置dADおよび処理対象となるデータのビット長DHが制御器1に転送されている。記憶番地EADがKである第1語目には制御器1は第1語目の処理であることおよび処理ビット長DHが16以上であることを判断して第一の記憶器2に対して処理開始ビット位置dADの内容である数値9を設定し第二の記憶器3に対しては1語内の最終ビット位置である数値15を設定する。第2図に従ってゲート群4および5は所定の信号を出力し最終的にビット位置9から15までのデータの処理のみを有効とするANDゲート群6の出力を得る。第2語目には処理ビット長DHの値は第1語目の段階で処理された7ビットが制御器1により減算され、数値19となっているが16未満ではないことおよび第2語目以降の処理であることから第一の記憶器2には処理開始ビット位置として数値0を第二の記憶器3には第1語目と同様に数値15を設定する。その結果16ビットすべてが処理対象となる信号

がANDゲート群6から出力される。第3語目ではビット長DHは第2語目の値から処理された16が減算され数値3となっており16未満の値となっていることおよび第2語目以降の処理であることから第一の記憶器2には数値0を第二の記憶器3にはビット長DHの値3を設定する。これによりビット位置0から3の4ビットのみが演算処理の対象となる信号がANDゲート群6から得られる。演算器7はANDゲート群6の出力が"1"であるビット位置に対してのみ通常どおり演算実行し"0"であるビット位置に対しては演算器を素通りさせる。

ある1ビットのみに対して演算を有効としたい場合には第一の記憶器2の内容と第二の記憶器3の内容とを等しくすれば良い。またすべてのビットについて演算対象から外したい場合には第一の記憶器2の内容として第二の記憶器3の内容よりも小さい値を設定すれば良い。

本実施例では異なる記憶番地の間を自動的に第一の記憶器2および第二の記憶器3の内容の変更

を制御できる制御器1を付加しているが1個の記憶番地内での処理だけに限定すればこの機能はなくても良い。この場合には演算指令発生器8が直接第一の記憶器2及び第二の記憶器3の内容を変更しても構わない。

〔発明の効果〕

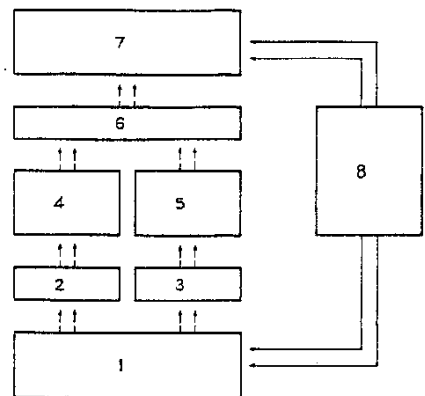
処理すべきデータがバイトという従来から行われてきているデータの区分けにない場合、従来のプロセッサ処理方法では高速処理が難しかったが本発明を用いることにより最小データ区分をデータの最小単位でもあるビットにおいた情報処理を高速に実行する装置を供給できる。さらに演算指令とデータ処理マスク指令とは別個に行えるため、同一の命令であってもデータ処理マスク指令を司る第一および第二の記憶器の内容が異なれば演算命令の実行をスキップさせたりまったく異なった実行結果が得られることになり、1個の命令でありながら多様な実行形態を持たせることができる。

4. 図面の簡単な説明

第1図は本発明における一実施例におけるブロック図、第2図は本発明における一実施例において使用したデータ処理マスク信号の原型データ発生テーブル図、第3図は本発明の一実施例において使用する構成要素が発生する信号の内容について示した図である。

1……制御器、2……第1の記憶器、3……第2の記憶器、4……ゲート群、5……ゲート群、6……ANDゲート群、7……演算器、8……演算指令発生器。

代理人 弁理士 内 原 晋



第1図

2の内容	LSB	4の出力	MSB	3の内容	LSB	5の出力	MSB		
0	1111	1111	1111	1111	0	1000	0000	0000	0000
1	0111	1111	1111	1111	1	1100	0000	0000	0000
2	0011	1111	1111	1111	2	1110	0000	0000	0000
3	0001	1111	1111	1111	3	1111	0000	0000	0000
4	0000	1111	1111	1111	4	1111	1000	0000	0000
5	0000	0111	1111	1111	5	1111	1100	0000	0000
6	0000	0011	1111	1111	6	1111	1110	0000	0000
7	0000	0001	1111	1111	7	1111	1111	0000	0000
8	0000	0000	1111	1111	8	1111	1111	1000	0000
9	0000	0000	0111	1111	9	1111	1111	1100	0000
A	0000	0000	0011	1111	A	1111	1111	1110	0000
B	0000	0000	0001	1111	B	1111	1111	1111	0000
C	0000	0000	0000	1111	C	1111	1111	1111	1000
D	0000	0000	0000	0111	D	1111	1111	1111	1100
E	0000	0000	0000	0011	E	1111	1111	1111	1110
F	0000	0000	0000	0001	F	1111	1111	1111	1111

第2図

	EAD = K	EAD = K + 1	EAD = K + 2
	00000000111111	11111111111111	111100000000000
	2の内容=9 3の内容=15 DH=26 第1語	2の内容=0 3の内容=15 DH=19 第2語	2の内容=0 3の内容=3 DH=3 第3語
4の出力	00000000111111	11111111111111	11111111111111
5の出力	11111111111111	11111111111111	111100000000000
6の出力	00000000111111	11111111111111	111100000000000
	LSB	MSB	LSB MSB

第3図