

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-289442

⑬ Int. Cl.⁴
G 06 F 12/00

識別記号 庁内整理番号
6711-5B

⑭ 公開 昭和61年(1986)12月19日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 メモリ・アクセス制御装置

⑯ 特 願 昭60-132372

⑰ 出 願 昭60(1985)6月18日

⑱ 発 明 者 小 口 哲 司 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

メモリ・アクセス制御装置

2. 特許請求の範囲

外部記憶装置から命令コードや処理すべきデータを読み取り、演算処理などを実行後、結果を外部記憶装置に書き込むメモリ・アクセス制御装置において、外部からの制御信号によって上記外部記憶装置に記憶されているデータの読み出し/書き込み動作のサイクルを一時的に引き延ばす機能を持ち、且つ、その引き延ばし動作が読み出し/書き込み制御信号が能動状態となっていない場合であっても機能することを特徴とするメモリ・アクセス制御装置。

3. 発明の詳細な説明

(技術分野)

本発明はデジタル情報処理装置の中心部をな

すプロセッサに関し、特に、待ち合わせ(ウエイト)制御回路に関する。

(従来技術)

プロセッサから供給される読み出し/書き込み制御信号の周期内で、外部記憶装置のデータの読み出し/書き込みができない場合に、ウエイト信号をプロセッサに与え、その周期を引き延ばすことにより所期の目的を達成する方法は以前から行なわれてきている。第4図Aはウエイト操作を行っていないときの従来例におけるプロセッサの入出力信号の波形図である。ここでは、メモリ・アクセス・サイクルはT1から始まりT2、T3で終了する3クロック期間であり、外部記憶装置に対する読み出し/書き込み制御信号(RD/WR)はT2のクロックφ立ち下がりからT3のクロックφの立ち下がりの区間で能動状態となる。外部記憶装置に記憶されているデータは、外部記憶装置にアドレスが供給されRD/信号が低レベルになった時点から読み出しが開始される。T3のクロックφ立ち下がり時に、読み出された

データはプロセッサ内へ読み込まれる。従って、このタイミングまでに正常な読み出しデータが外部記憶装置から読み出されていれば特にウェイト動作などを実行させる必要はない。RD/信号の幅が外部記憶装置から正常なデータを読み出すのに不十分なものである場合には、ウェイト要求信号(WAIT REQ)をプロセッサに与え、RD/信号幅を拡げることでより読み出し時間余裕を得る方法を取る。その場合の波形図が第4図Bに示されている。

書き込みの場合も同様であり、WR/信号の立ち上がり時まで書き込みデータが揃っていなかったり、外部記憶装置によって規定されるWR/信号幅が満足されなかったりした場合には、読み出しの場合と同様、外部記憶装置はウェイト要求を行なう必要がある。

(解決すべき問題点)

第4図Bに示した従来方法の一実施例では、ウェイト要求信号はT3のクロックφの立ち上がり時のみプロセッサによって検出される。即ち、

の時間についてもウェイト要求信号による制御によって可変とすることができるようにした。その結果、RD/やWR/信号の立ち下がり時に読み出し/書き込み動作を行なうより外部記憶装置であっても、有効なウェイト動作を保証できる。

(実施例)

以下、本発明の一実施例について、図面を参照して説明する。

第1図は本発明の一実施例におけるウェイト要求信号受け付けタイミングと、その結果得られたプロセッサ内部タイミング信号の発生推移とRD/あるいはWR/信号の発生の状況とを示したタイミング図である。本実施例では、プロセッサ内部タイミングT2およびT3のクロックφ立ち上がり時に外部から供給するウェイト要求信号を受け付けることができる。また、T1およびT2の後縁部でウェイト要求が各々1回発生している例について示している。T1後縁部のウェイト要求により、プロセッサはウェイト・ステートTWに入り、その間、T1後縁部における各種信号のレ

ベルを維持し続ける。その結果、アドレス出力からRD/やWR/信号発生までの期間を延長する効果が得られる。T2の後縁部に供給されるウェイト要求信号によっても同様にウェイト・ステートTWに入り、そのときの各種信号の論理レベルを維持し続ける。この2番目の動作は従来例と何ら変わるところはない。

本発明の目的は、どのような種類の外部記憶装置であってもウェイト動作を有効に実施し得るプロセッサを供給することにある。

(問題点を解決するための手段)

本発明では、読み出し/書き込み制御信号RD/やWR/が能動的となっていない区間であってもウェイト要求信号を受け付け可能とし、アドレス出力時からRD/やWR/が能動的となるまで

RD/やWR/信号が能動的になっている区間においてのみウェイト信号を受け付け可能としている。従来例では、ウェイト要求信号を受け付けるとRD/やWR/信号の立ち上がりを遅らせ、低レベル能動区間の幅を拡げる形で待ち合わせ動作を実行する。ところが、外部記憶装置として一般に使用される集積回路化された記憶素子のうち、ダイナミック型の素子はデータ書き込みの実行をWR/信号の立ち下がり時に行なりものがある。この形式を持つ外部記憶装置に対しては、従来方法によるウェイト動作では、その目的を達し得なかった。

第2図は本実施例におけるウェイト制御の回路図、および第3図はその回路動作を説明するために使用するタイミング図である。T1、T1'、T2、T2'、T3、T3'の順に6個の自己データ保持可能なフリップ・フロップが接続されており、T1、T2、T3のフリップ・フロップの読み込みクロックはφであり、T1'、T2'、T3'の読み込みクロックはφ/が接続される。そのφ/はフリップ・フロップWAIT F/Fの出力が高レベルの時、出力が低レベルに固定されるが、その他の場合にはクロックφの位相反転信号として供給される。ウェイト要求信号WAIT REQはタイミング信号T1'およびT2'

が高レベルの時のクロックφの立ち上がり時にフリップ・フロップWAIT F/Fに読み込まれ、プロセッサはウエイト・ステートに入る。読み出し/書き込み制御信号RD/WRは本実施例においては、フリップ・フロップT2'の出力を反転した信号から得られる。

(発明の効果)

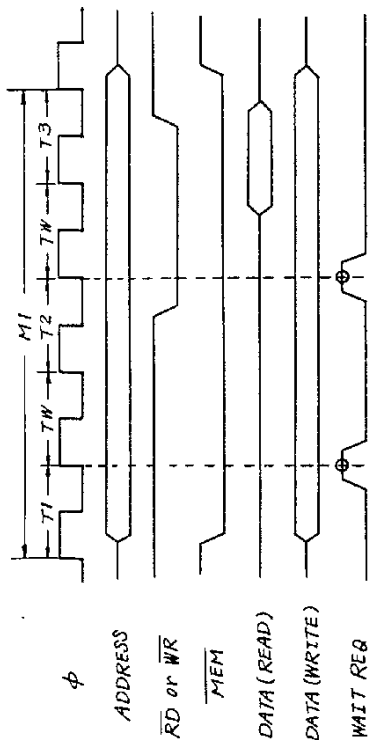
以上説明したように、ごく簡単な回路構成により、自由度の高いウエイト制御動作を実行できるプロセッサを提供できる。特に、WR/立ち下がりエッジにおいてデータの書き込み動作を起動する記憶素子を使用した装置においては本ウエイト動作は非常に効果的である。

4. 図面の簡単な説明

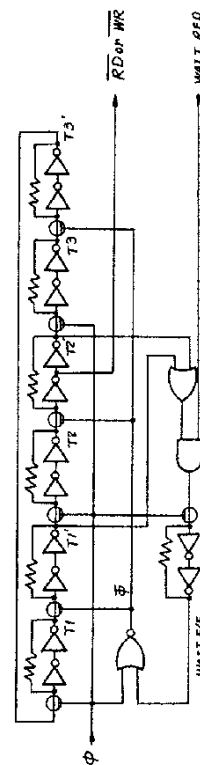
第1図は本発明の実施例においてウエイト動作を行なった場合の各種タイミング信号図、第2図は本発明の一実施例におけるウエイト制御回路、第3図はウエイト制御回路における各部のタイミングを示した波形図、第4図Aは従来例において

ウエイト動作を行なわない場合の各種タイミング信号図、第4図Bは従来例においてウエイト動作を行なったときの各種タイミング信号図である。

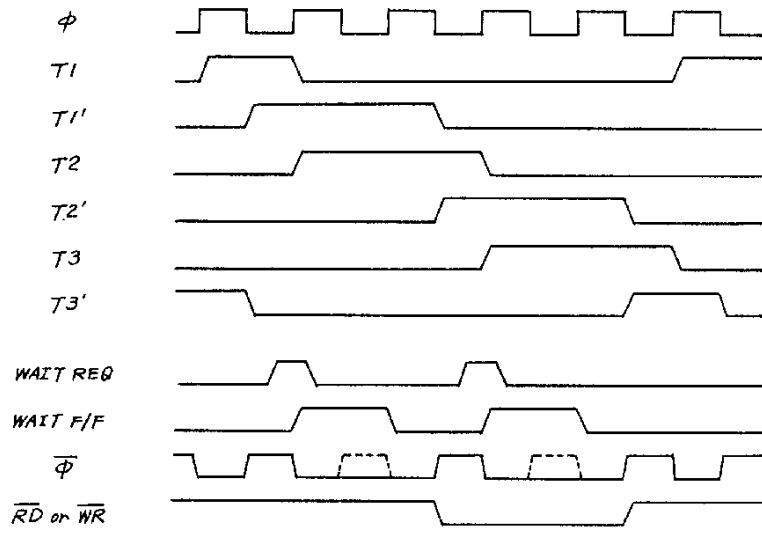
代理人 井理士 内原 晋



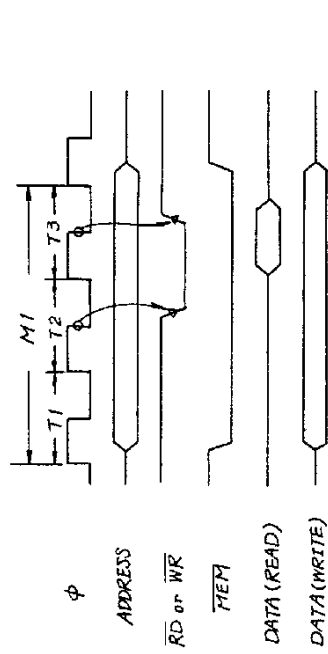
第1図



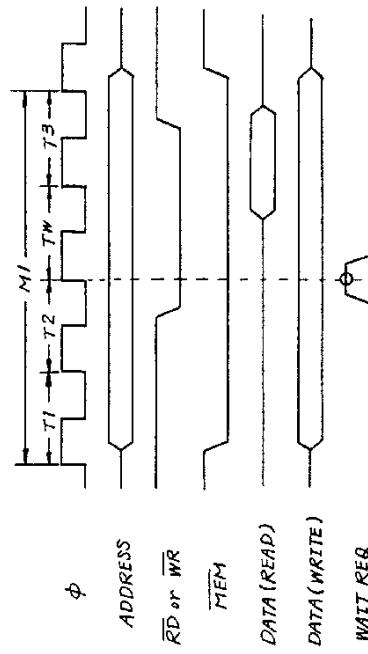
第2図



第3図



第4図(A) (従来例)



第4図(B) (従来例)