

⑨ 日本国特許庁 (J P)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭61-287098

⑤ Int. Cl.⁴
G 11 C 17/00

識別記号 庁内整理番号
6549-5B

④ 公開 昭和61年(1986)12月17日

審査請求 未請求 発明の数 1 (全3頁)

⑬ 発明の名称 記憶回路

⑭ 特 願 昭60-129290

⑮ 出 願 昭60(1985)6月14日

⑯ 発 明 者 小 口 哲 司 東京都港区芝5丁目33番1号 日本電気株式会社内
⑰ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑱ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称
記憶回路

2. 特許請求の範囲

入力されるアドレス信号をデコードし、デコード出力である多数本のアドレス選択線のうち所定のもののみを活性化するアドレスデコード部と、上記アドレス選択線が結合され、活性化されたアドレス選択線が接続されている論理ゲートの出力線のみが能動的となるように論理ゲート群が配列してある記憶部とを持つ記憶回路において、上記アドレスデコード部にはアドレスデコードの冗長をとるか否かを決定する多数本のデコード禁止入力がアドレス入力線の一部として接続されることを特徴とする記憶回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はデジタル・コンピュータの一部として使用され、アドレス入力信号に従って種々の出力信号を取り出すことができる記憶回路に関する。

(従来技術)

アドレス信号を与えることによりその信号内容に従って選択される記憶部が決定され、その記憶部の内容に従って任意の出力信号を得ることができる記憶回路の回路構成はよく知られている。第3図は記憶回路の従来例である。後に第1図として示す本発明の一実施例との対比が容易となるように提供する機能は第1図の機能と同一のものにしてある。説明を簡単にするために小規模な記憶回路を例に掲げた。各々2ビットで構成されるアドレス・レジスタ101と102の出力はアドレスデコード部110に入力される。このとき、アドレス・レジスタ出力線1本につき真と偽の2本の信号線をアドレス・デコーダに接続する。アドレス・レジスタのビット数がNであるときアドレス入力線は2 * N本が必要となり、アドレスデコ