

⑩ 日本国特許庁 (J P)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭61-287098

⑬ Int. Cl.⁴
G 11 C 17/00

識別記号 庁内整理番号
6549-5B

⑭ 公開 昭和61年(1986)12月17日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 記憶回路

⑯ 特 願 昭60-129290

⑰ 出 願 昭60(1985)6月14日

⑱ 発 明 者 小 口 哲 司 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称
記憶回路

2. 特許請求の範囲

入力されるアドレス信号をデコードし、デコード出力である多数本のアドレス選択線のうち所定のもののみを活性化するアドレスデコード部と、上記アドレス選択線が結合され、活性化されたアドレス選択線が接続されている論理ゲートの出力線のみが能動的となるように論理ゲート群が配列してある記憶部とを持つ記憶回路において、上記アドレスデコード部にはアドレスデコードの冗長をとるか否かを決定する多数本のデコード禁止入力がアドレス入力線の一部として接続されることを特徴とする記憶回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はデジタル・コンピュータの一部として使用され、アドレス入力信号に従って種々の出力信号を取り出すことができる記憶回路に関する。

(従来技術)

アドレス信号を与えることによりその信号内容に従って選択される記憶部が決定され、その記憶部の内容に従って任意の出力信号を得ることができる記憶回路の回路構成はよく知られている。第3図は記憶回路の従来例である。後に第1図として示す本発明の一実施例との対比が容易となるように提供する機能は第1図の機能と同一のものにしてある。説明を簡単にするために小規模な記憶回路を例に掲げた。各々2ビットで構成されるアドレス・レジスタ101と102の出力はアドレスデコード部110に入力される。このとき、アドレス・レジスタ出力線1本につき真と偽の2本の信号線をアドレス・デコーダに接続する。アドレス・レジスタのビット数がNであるときアドレス入力線は2 * N本が必要となり、アドレスデコ

ード結果であるアドレス選択線は、2のN乗本が必要となる。即ち、Nビットのアドレス・レジスタによって駆動される記憶回路のアドレスデコード部は、 $2N \times (2 \uparrow N)$ 本の入出力線マトリクスにより構成されることとなる。第3図の従来例においては、アドレス入力線としてA0およびA0の偽信号A0/、A1、A1/、A2、A2/、A3、A3/の計8本、アドレス選択線として131から146までの116本が必要となる。その結果、 8×116 本の入出力線マトリクスにより構成される。この値はアドレス・レジスタのビット数に依存して一義的に決定される。

〔従来技術の問題点〕

しかしながら、記憶回路を応用する方法によっては多数の異なるアドレスに同一の記憶内容を記憶させる場合がある。この場合、従来方法による異なるアドレス選択線によって駆動される記憶部のゲート構成が同一のものとなる比率が高くなる。即ち、従来方法では与えるアドレスと記憶内容との間に冗長性があつたとしても、それを無視

力としてはアドレスデコード禁止入力20が供給される。本実施例ではアドレス・レジスタ2の出力をデコードした出力線をデコード禁止入力として接続している。図示した矢印は信号の入出力関係を表わしている。入力を示す矢印位置から出力を示す矢印位置までがデコーダとしての回路機能を果たすゲート群であり通常NORゲートで構成される。入力信号は丸印で示したNORゲートの1つ入力にのみ供給される。

デコード禁止入力20のうちINH0信号線はアドレス・レジスタ2のA2とA3の真出力A2およびA3が入力されるNORゲートの出力であり、同様に、INH1はA2の偽出力A2/とA3、INH2はA2とA3の偽出力A3/、INH3はA2とA3の偽出力A2/およびA3/が入力されるNORゲート出力である。アドレスデコード部10は31から38で示すアドレス選択線を出力し記憶部11に供給する。

アドレスデコード部10も同様にNORゲートで構成され、入力が接続される位置は丸印で示し

しているために無駄な部分があることになり記憶回路の規模が大きくなる欠点があつた。

〔問題点を解決するための手段〕

本発明ではアドレスデコード部に入力するアドレス入力線の一部をアドレスデコード禁止入力信号として機能できるようにアドレスデコード部の回路を改良し、アドレスデコードに関し冗長性をとるかどうかを選択する機能をアドレスデコーダに付加している。

〔実施例〕

本発明について図面を参照して説明する。第1図は本発明の一実施例を示す回路図である。第2図は第1図で示した本実施例および第3図で示した従来例におけるアドレス入力と記憶回路出力との対応について示す真理値表である。本発明における記憶回路はアドレスデコード部10と記憶部11とで構成される。アドレスデコード部10の入力の一部に第3図で示した従来例の場合と同じくアドレスレジスタ1の出力の真と偽の信号A0、A0/、A1、A1/の計4本が接続され、他の入

である。アドレス選択線31はアドレス・レジスタA0およびA1が入力されるNORゲートの出力であり、32はA0の偽出力A0/およびA1とデコード禁止入力20のうちINH2およびINH3が入力されるNORゲートの出力である。33から38のNORゲート入力の詳細は同様に第1図から読み取れるので説明を省略する。

記憶部11もNORゲートによって構成され、出力線30のうちOUT0を出力するNORゲートの入力にはアドレス選択線31、34、35、36、38が接続され、OUT1には32、33、34、35が、OUT2には33、34、36、37が接続される。

このゲート配列は第2図で示した真理値表に従って結線されている。この真理値表によると、アドレスA0とA1が共に「0」である場合には、上位のアドレスA2およびA3の値の如何にかかわらず出力線30のうちOUT0のみが活性化され出力を「1」とする。則ち、アドレス「0」、「4」、「8」、「12」の4アドレス分の記憶回路出力は同一である。アドレス選択線31を出力す

るNORゲートにはデコード禁止入力20を接続しない。この結果、従来方法で必要とした4本のアドレス選択線を1本にまとめることができる。アドレス・デコードに対する冗長性がない場合には、アドレス選択線33, 34, 38にみられるようにデコード禁止入力のうち1本のみをアドレスデコーダを構成するNORゲートに接続しないようにすればよい。

〔発明の効果〕

第3図に示す従来例では、1個のアドレスについて必ず1本のアドレス選択線を必要としたが、本発明ではデコード禁止入力の接続方法を変化させることによってアドレス選択線の本数を減らすことができる。

第1図において記憶回路として読み出し専用記憶回路を取り上げたが、本発明はアドレスデコード方法に関するので書き込み可能な記憶回路においても適用できる。また、デコード禁止入力としてアドレスデコード出力を使用しているが、それに限らず、どのような種類の信号をデコード禁止

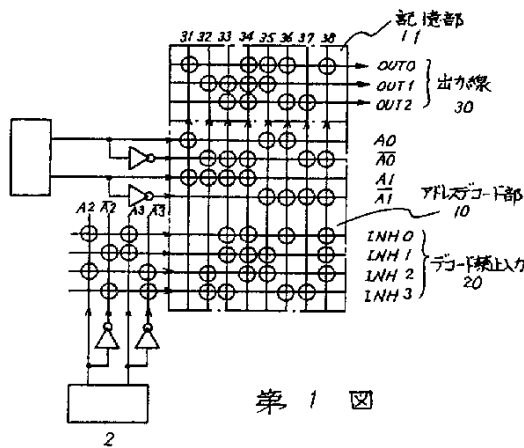
入力としてアドレスデコード部に供給しても良いことは明らかである。

4. 図面の簡単な説明

第1図は本発明における一実施例について示した回路図、第2図は本発明の一実施例および第3図で示す従来例におけるゲート構成を決定する際に使用した記憶回路の真理値パターン図、第3図は第1図と同じ機能を持つ従来例について示した回路図である。

1, 2, 101, 102……アドレスレジスタ、10, 110……アドレスデコード部、11, 111……記憶部。

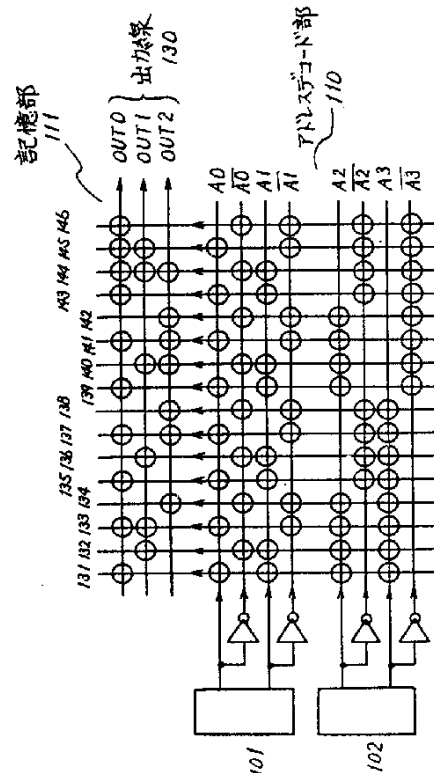
代理人 弁理士 内原 晋



第1図

A3	A2	A1	A0	02	01	00	OUT
0	0	0	0	0	0	1	1
0	0	0	1	0	1	0	2
0	0	1	0	0	1	1	3
0	0	1	1	1	0	0	4
0	1	0	0	0	0	1	1
0	1	0	1	0	1	0	2
0	1	1	0	1	0	1	5
0	1	1	1	1	0	0	4
1	0	0	0	0	0	1	1
1	0	0	1	1	1	0	6
1	0	1	0	1	0	1	5
1	0	1	1	1	0	0	4
1	1	0	0	0	0	1	1
1	1	0	1	1	1	1	7
1	1	1	0	0	1	1	3
1	1	1	1	0	0	1	1

第2図



第3図 (従来例)