

⑨ 日本国特許庁 (J P)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭61-41183

⑪ Int. Cl. 4	識別記号	庁内整理番号	⑬ 公開	昭和61年(1986)2月27日
G 09 G 1/06		7923-5C		
G 06 F 12/00		6974-5B		
		6619-5B		
G 09 G 15/62		7923-5C		
G 09 G 1/02		6549-5B	審査請求	未請求
G 11 C 7/00			発明の数	1 (全5頁)

⑭ 発明の名称 デジタル記憶装置

⑮ 特 願 昭59-163069

⑯ 出 願 昭59(1984)8月2日

⑰ 発 明 者 小 口 哲 司 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

デジタル記憶装置

2. 特許請求の範囲

1. アドレス選択線の制御により特定されたアドレス位置にデータを一時的に記憶し無作為に読み書き可能な1ビットを記憶するデジタル記憶回路を行/列の両方向にN個ずつ並べNビットのデータの並列一括入出力を可能としたデジタル・データ記憶装置において、上記記憶回路に異なるアドレス選択線により駆動される第一と第二の信号端子を設け、列方向に配置されたN個の記憶回路の第一の端子の出力は列方向に配線された1本の列信号線に共通に接続され、行方向に配置されたN個の記憶回路の第二の端子の出力は行方向に配線された1本の行信号線に共通に接続され、N本の行/列信号線を持ち、行/列の両方向に十字に配線されたN本のアド

レス選択線によって行方向および列方向それぞれ各N個の記憶回路を活性化し、行または列信号線上のどちらのデータを選択するかを決定するようにしたことを特徴とするデジタル記憶装置。

3. 発明の詳細な説明

(技術分野)

本発明はデジタル論理回路において、アドレス信号を与えることによって、入力データを一時的に記憶したり、記憶されているデータを出力することを無作為に実行できる記憶回路に関する。(従来技術)

デジタル論理回路において使用される記憶回路はシーケンシャル・メモリとランダム・アクセス・メモリとに大別できる。シーケンシャル・メモリはクロックによってデータを書き込むと同時に、以前に記憶したデータを隣りのメモリアルヘシフトするものである。

この際、出力端子に一番近い記憶セルに記憶さ

れていたデータは出力端子にシフトされ出力データが得られる。即ち、N個の記憶セルによって構成されているシフト・レジスタの場合には、入力データを与えてから、そのデータを出力端子から取り出すまでにN個のクロックを与える必要がある。なおこの間、Nビットのデータを入出力はできる。このシフト・レジスタは、処理をするデータが連続的に記憶されていると都合が良い用途や単なる信号遅延回路、または、比較的記憶容量が小さくてアドレス発生回路を附加したくない場合などに使用されている。

一方、ランダム・アクセス・メモリはデータ記憶用として、今日、一般に用いられており、データの記憶位置はアドレスの選択により一義的に決定できる構造となっている。即ち、データが入出力する信号線と記憶セルとの間にあるスイッチの開閉をアドレス線の信号により制御しているため、任意のアドレスを与えることにより任意の記憶セルに対するデータの読み書きが行なえる。従って、シフト・レジスタを記憶器として用いた装置と比

較してデータのアクセス時間を小さくすることができる。さらに、集積回路化する場合においては、記憶セルの占める面積がその原価を決定づけることになるが、ランダム・アクセス・メモリ記憶セルを1個のトランジスタで構成することができるため、最低でも6個のトランジスタを必要とするシフト・レジスタと比較して、ランダム・アクセス・メモリは安価な記憶回路であるといえる。

最近、ラスタ走査型陰極線管などを使用した表示装置において、1ドットの表示が表示記憶器の記憶データの1ビットに1対1に対応しているビット・マップ・ディスプレイ方式による文字表示が一般化しつつある。従来方式による文字表示装置では、表示記憶器には英文字のみでは5ビット、漢字では14ビット程度までのビット数で表現される表示文字を表わす文字コードを記憶しており、表示時には、表示記憶器から上記文字コードを読み出し、その文字コードと表示文字の表示ライン位置を示す信号を文字発生器のアドレスに与え、表示文字のドット情報を文字発生器から取り出し

ている。ビット・マップ方式では、そのままでも表示可能な状態になっている文字のドット情報が表示記憶器上に展開されているため、表示時には、単に、表示記憶器に対してアドレスを与え、出力をそのまま表示信号として使える。さらに、テレビジョン・カメラなどから入力されたイメージ情報や直線、円弧などのグラフ情報など同一の記憶方法であるため、これらの情報と文字との混在表示が容易となるなど利点は多い。

また、表示記憶器内データのある一部分のデータを90度回転させて表示したり、裏返し表示をしたりすることが容易となるため、これらを簡単に実現するための方策が考えられている。文字を90度回転させるには、90度回転させた文字ドット情報を記憶する文字発生器を持つ方法があるが、文字発生器の記憶容量が大きくなり過ぎる欠点があるし、大きな文字発生器を持ったとしてもイメージ情報の回転動作を簡単に行なえるわけではない。また裏返し表示はグラフ表示の場合には座標値を裏返し演算して変換すれば良いが、イメ

ージ表示においてはイメージ・データそのものの裏返しを必要とし、これらを全てプロセッサによって処理しようとする、その処理時間が膨大なものとなるなど、ビット・マップ表示装置を具体化する上で多くの問題点を含んでいた。

(発明の目的)

本発明の目的は、記憶回路に結線する信号線を増設することによって、プロセッサによる処理量を減らし、入力データの90度単位での回転や裏返しを容易に行ない得る記憶装置を提供することにある。

(実施例の説明)

以下、本発明について、従来例との比較をしつつ、図面を用いて説明する。第1図aは従来から用いられているランダム・アクセス・メモリの記憶セル回路例、および第1図bは読み書き用バッファ回路例である。書き込み時には、書き込み信号線1が低レベルになりデータ・バス2の信号をNORゲート4および5を経由し、ドライバ6と7に出力する。ドライバ6、7は互いに相補の関

係にあり、データ・バス2の信号レベルがドライバ6に、その反転レベルがドライバ7に出力される。ドライバ6の出力は信号線21に、ドライバ7の出力は信号線22にそれぞれ接続され、アドレス線40が高レベルとなったときトランスファークロウ・ゲート31、32を経て、記憶セルを構成し互いの出力が入力に接続されているインバータ33、34の信号レベルを押し上げたり押し下げ、データ・バス2の信号を記憶させる。ドライバ6、7はインバータ33、34のレベルを十分に变化させ得るだけのドライブ能力を持つ必要がある。

読み出し時には、記憶セルを構成するインバータ33、34の出力がアドレス線40が高レベルとなったとき、トランスファークロウ・ゲート31、32を経て信号線21、22に出力されNORゲートで構成されるフリップ・フロップ8、9に接続され、ドライバ10を経て読み出し線3が高レベルとなったときデータ・バス2へ読み出される。フリップ・フロップ8、9は記憶セルから信号線21、22に出力される微小な電位差を検出して、充分

なレベルにまで高速に増幅するためのセンス・アンプである。

このような構成となっているため、アドレスが同一であれば、書き込みデータの記憶位置と読み出しデータの記憶位置とは同一である。従って、一旦、書き込んだデータをアドレスを変えずに読み出したとき、当然のことながら、同一データが読み出されてくる。本発明の一実施例では、データの90度回転や裏返しを可能とするために、書き込みデータと読み出しデータの記憶位置を簡単な手段によって変更することができるように、上記従来例の回路に対して、記憶回路部においては、第2図aに示すように第二のアドレス線41と第二の信号線23、24、第二のトランスファークロウ・ゲート35、36を追加し、また、読み書きバッファ部においては、第2図bに示すように第一と第二の信号線を切り換えるためのトランスファークロウ・ゲート51から55の部分を追加してある。第3図は記憶回路の構成およびアドレス線や第一と第二の信号線の配線の方法について示した図である。

ここでは8ビットのデータを並列に入出力でき、アドレス線が8本供給されている例を示してある。1ビットの記憶回路毎に(0, 0)から(7, 7)の行列番号を付けたとき、アドレス0は(0, X)および(X, 0)の計15個の記憶回路に供給され、(0, X)の記憶回路に対しては第一のアドレス線40に接続され、(X, 0)の記憶回路に対しては第二のアドレス線41に接続される。アドレスの交点に位置する(0, 0)に対しては40と41の2種のアドレス線にアドレス0が接続されることになるが出力信号線は異なる。ここで、「X」は0から7の任意数を表わすことを意味する。

以下、同様にしてアドレス1は(1, X), (X, 1)、アドレス2は(2, X), (X, 2)、アドレス3は(3, X), (X, 3)、アドレス4は(4, X), (X, 4)、アドレス5は(5, X), (X, 5)、アドレス6は(6, X), (X, 6)、アドレス7は(7, X), (X, 7)の記憶回路に接続される。

次に、信号線切り換え入力55(CHG)の動作

について説明する。第4図のように、アドレス3が高レベルとなったとき記憶回路(X, 3)および(3, X)が選択され、(0, X)の第一の信号線上には(0, 3)が出力されデータバス0に接続される読み書きバッファに接続され、以下、(1, X)の第一の信号線上には(1, 3)、(2, X)の第一の信号線上には(2, 3)、(3, X)の第一の信号線上には(3, 3)、(4, X)の第一の信号線上には(4, 3)、(5, X)の第一の信号線上には(5, 3)、(6, X)の第一の信号線上には(6, 3)、(7, X)の第一の信号線上には(7, 3)が出力される。また、(X, 0)の第二の信号線上には(3, 0)が出力されデータ・バス0に接続される読み書きバッファに接続され、以下、(X, 1)の第二の信号線上には(3, 1)、(X, 2)の第二の信号線上には(3, 2)、(X, 3)の第二の信号線上には(3, 3)、(X, 4)の第二の信号線上には(3, 4)、(X, 5)の第二の信号線上には(3, 5)、(X, 6)の第二の信号線上には(3, 6)、(X, 7)の第二の信号線上には(3, 7)が出力され

る。

ここで、第一の信号線は図2の信号線21、22に相当し、読み書きバッファの信号線61、62に結線される。同様に、第二の信号線は図2の信号線22、23に相当し、読み書きバッファの信号線63、64に結線される。この2種の信号を信号入力55によって切り換える。

第4図4は本発明の一実施例においてアドレス3を選択したときに読み出されてくるデータの記憶位置を斜線で表わしたものであり、信号線切り換え入力55(CHG)が低レベルのときには(X, 3)に記憶されているデータが選択され、入力55が高レベルのときには(3, X)のデータが選択されることを示している。

上記した信号入力55(CHG)の他に、読み書きバッファのデータ・バス入出力切り換え信号ROTによりデータ・バス0と7、1と6、2と5、3と4、4と3、5と2、6と1、7と0とを各々切り換えることができる手段と、本発明による記憶装置から表示データを読み出した後、表

示記憶器に書き込む際の書き込み順を上下に変更する手段(INV)とを設けることによって、第5図に示したように本発明による記憶装置から読み出したデータを8通りに回転/裏返しにして表示メモリに書き直すことができる。

上記した説明では、単に、図形の回転や裏返しのみを取り上げたが、この他に、1画面を濃淡多値または色彩多値の直列信号で供給されている入力をビットの重み別に分けた表示メモリ・プレーンに分配/格納する応用も容易であることは言うまでもない。

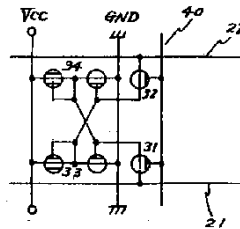
4. 図面の簡単な説明

第1図は従来例における(a)記憶回路図および(b)読み書きバッファ回路図、第2図は本発明の一実施例における(a)記憶回路図および(b)読み書きバッファ回路図、第3図は本発明における記憶回路、読み書きバッファ回路を用いて構成した8X8ビットの記憶装置のブロック図、第4図は本発明において信号線切り換え入力CHGを変化させた

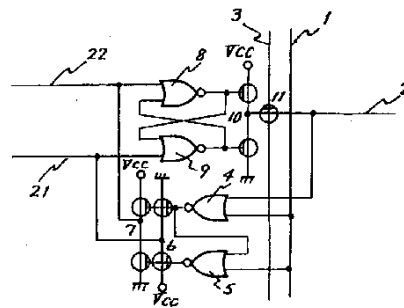
ときの被選択記憶セルを斜線で表現したパターン図、第5図は制御線CHG、ROTおよび表示記憶器へのデータ書き込み順を変化させたときの図形の回転/裏返しの状態を示すパターン図である。

- 1 ……書き込み線、2 ……データ線、3 ……読出し線、4, 5, 8, 9 ……NORゲート、6, 7, 10 ……バッファ回路、21, 22 ……ビット線、40 ……ワード線、31, 32 ……トランスファゲート、33, 34 ……インバータ回路。

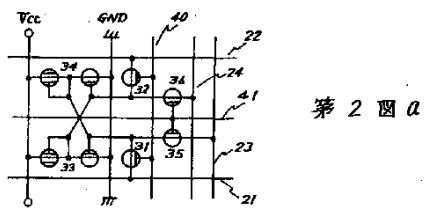
代理人 弁理士 内原 晋 (弁理士 内原 晋)



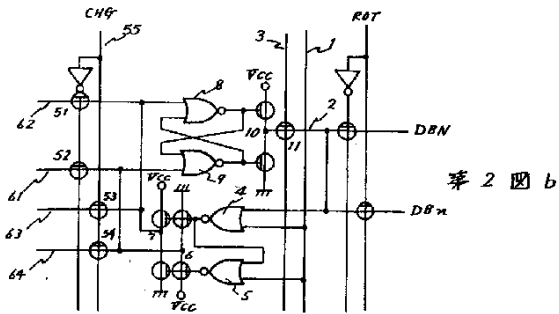
第1図a



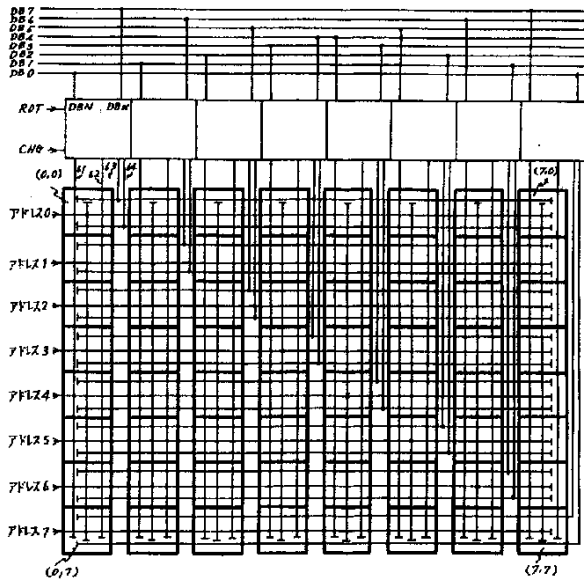
第1図b



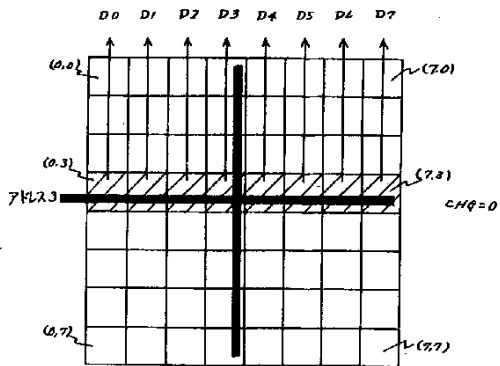
第 2 図 a



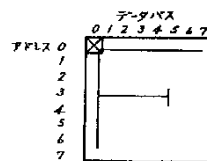
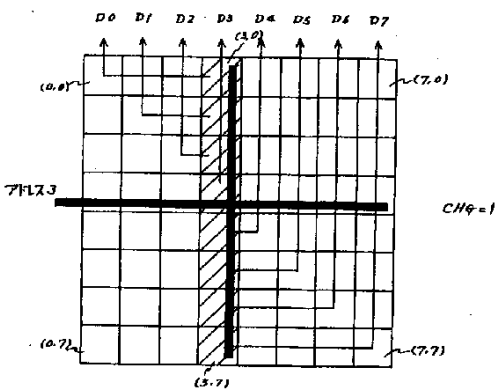
第 2 図 b



第 3 図



第 4 図



第 5 図

