

⑱ 日本国特許庁 (JP)
⑫ 公開特許公報 (A)

⑩ 特許出願公開
昭57—56885

⑤ Int. Cl.³
G 09 G 1/06

識別記号 庁内整理番号
7013—5C

⑬ 公開 昭和57年(1982)4月5日

発明の数 1
審査請求 未請求

(全 6 頁)

⑭ 映像アドレス制御装置

東京都港区芝五丁目33番1号日
本電気株式会社内

⑮ 特 願 昭55—132009

⑯ 出 願 人 日本電気株式会社

⑰ 出 願 昭55(1980)9月22日

東京都港区芝5丁目33番1号

⑱ 発 明 者 小口哲司

⑲ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

映像アドレス制御装置

2. 特許請求の範囲

映像データを格納する映像メモリのアドレスを順次変化させ、読み出したデータを表示器に表示する映像表示装置において、表示アドレスを記憶する表示アドレス・レジスタと、1単位文字、又は、図形表示区間毎に内容が変更され、1行又は1ラインの表示終了毎に内容がクリアされるカウント・レジスタと、映像メモリの表示進行方向のアドレス数を記憶するピッチ・レジスタとを具備し、通常の表示時には、上記表示アドレス・レジスタと、上記カウント・レジスタとの演算結果を表示アドレスとして映像メモリに送出し、1行又は1ラインの表示終了時には上記表示アドレス・レジスタと上記ピッチ・レジスタとの演算結果を表示アドレス・レジスタに格納するとともに、表

示アドレスとして映像メモリに送出する手段を用いて、表示アドレスを制御し、全方向へのスクロールを容易にした事の特徴とする映像アドレス制御装置。

3. 発明の詳細な説明

本発明は映像表示装置に関する。本発明は、映像データを格納する映像メモリから読み出したデータをCRT等の表示器に表示する文字・図形表示装置に関し、さらに詳しくは、映像メモリに送出する表示アドレスの制御に関し、特に、高容易性を持ち、高性能なスクロール機能を提供する。

表示器として、ラスタ・スキャン型CRTを使用した文字図形表示装置では、大容量の映像メモリに映像データを格納し表示をする期間には映像メモリのアドレスを順次変更して映像データを映像メモリから読み出し映像直列信号を得る事は良く知られている。ここで映像メモリのアドレスを与える方法には、大別して、以下に記述する2種の従来方法がある。

その第1の方法による映像メモリ・アドレス発生器を含めた文字図形発生装置の従来例を第1図に示す。画面表示ドット数が 256×256 で構成され、映像メモリの1ビットが白黒2値画面表示の1ドットに対応し、1アドレスが16ビットに対応している映像メモリ構成を取るグラフィック表示を例にとると、画面の横方向に走査する1本の走査線表示に要するアドレス数は $256 / 16$ で表わされ16アドレスである。さらに、画面縦方向に256本の表示期間部の走査線を要するので映像メモリとして 16×256 、即わち、4096アドレス16ビットの容量を持ったものが必設となる。

映像メモリ・アドレス発生器10は上記4096アドレスを番地づけするに足るビット数を持ったインクリメントであり、1単位時間(本従来例では16ドット表示時間)毎に"1"だけ内容が増加する。さらに、表示の終了とともにその内容は"0"にクリアされ、次の画面表示の為に準備をする。この映像メモリ・アドレス信号は、CPU

によって"0"にクリアされ、表示期間外であることを示す信号BLANKが"H"であるときはカウント信号ADDRESS+1が発生せず、その値は変化しない。BLANKが"L"となり表示が開始されると16ドット表示期間に1回だけADDRESS+1が発生し、映像メモリ・アドレスは"1"だけ増加し、出力される。

この第1の従来例では、表示データのスクロールを行なおうとすると、映像メモリ内データをCPUの管理のもとに、スクロール前の番地からスクロール後の適切に定められた番地へ移動する必要がある、その移動に要するCPUのオーバーヘッド時間が長くなるという欠点がある。

第2の方法による文字・図形発生装置の構成従来例を第3図に示す。この従来例では、DMAコントローラ60と2系統のライン・バッファとDMA要求ライン等を持つCRTコントローラ61を具備したものであり、画面表示開始時の映像メモリのアドレスはDMAコントローラに画面表示終了毎にCPUの制御のもとに再設定され

から供給されるアドレス信号1が一方に入力される切換ゲート11に inputs され、CPUが、映像メモリに対してデータの書き込み/読み出し動作を行なう際に発生する制御信号6の状態が非能動であるとき映像メモリ20のアドレスに接続される。映像メモリ20からは、そのアドレス信号に対応して16ビットの出力がデータ・バス4に出力され並列-直列変換器40を経て映像直列信号41を得る。本特許は映像メモリ・アドレスの発生及び制御の方法に関するものであるので、他の一般的な表示装置の構成に関する説明は概略程度に留める。第1図において、12はCPUデータ・バスと映像メモリ・データ・バスとを分離する事を目的とした双方向性バス・ドライバであり、2はCPUのデータ・バス、7は、制御信号、5はメモリ制御信号である。

第2図に映像メモリ・アドレス発生器10に供給される各種信号及び発生するアドレス信号のタイミングが示されている。アドレス発生器10は画面終了時に発生する信号FIELD ENDによ

っており、1ラインの表示終了毎にDMA要求信号53が、1ラインの表示に必要なアドレスのDMA転送に必要な期間だけCRTコントローラからDMAコントローラに出力される。DMAコントローラは上記DMA要求信号を受けた後、CPUを停止し、アドレス/データ/制御バス・ラインを開放状態にすべく、CPUに対し、HOLD要求信号51を送出する。CPUよりHOLD承認信号50が、DMAコントローラに到来するとDMA転送を開始するとともにCRTコントローラに対し、DMA転送を実行中であることを示すDMA承認信号52を送出する。CRTコントローラは、その信号を受けて、以後のDMA転送の有無を判断しDMA要求信号の制御を行なう。

DMA要求信号の発生によって、上記のような手順で、DMAコントローラが起動され、DMAコントローラからアドレス信号1、メモリ制御信号5が、映像メモリに与えられ、そのアドレスに対応したデータ出力がCRTコントローラに送出され、次ライン表示の準備の為に用意され

ている一方のライン・バッファに格納される。もう一方のライン・バッファには、現在表示中のデータが、格納されており表示のタイミングに従って、並列一直列変換器40に送出され直列映像信号41を得る。

第4図にDMA要求信号、DMAコントローラによって発生されるアドレス、表示データのタイミング図が示されている。画面表示終了を示すFIELD ENDが能動的になるとDMAコントローラに表示開始のアドレス"0"が設定され、CRTコントローラからDMA要求信号が送出されると映像メモリ20のアドレス"0"から"15"までのデータがCRTコントローラに内蔵されている第1のライン・バッファに転送される。表示の開始に伴って第1のライン・バッファの内容が並列一直列変換器40に送出され表示されるとともに、CRTコントローラからDMA要求信号が出力され、次のラインの表示データが格納されている映像メモリ・アドレス"16"から"31"までのデータが第2のライン・バッ

値をCPUの処理のもとにDMAコントローラに設定し、DAD2には、映像メモリの先頭番地を設定する。このような操作によって第7図(1)において第1ライン目に表示されていたデータが最終ラインに表示され、第2ライン目のデータが第1ライン目に表示されるように表示のスクロールが行なわれる。

この第2のスクロール方法は、実質的にデータの移動を伴わず、単にアドレスの書き換えのみによってみかけ上のスクロール動作が可能となるので非常に有効なスクロール法である。しかしながら、DMAのアドレスの変化量は常に"1"である為、表示データは連続したアドレス上に展開されていなければならなかった。

本発明の目的は、映像メモリの表示進行方向のアドレス数を実際に表示されるアドレス数に対して、大きく取ることができる即ち映像メモリの一部のみを表示でき、スクロール時には、画面の縦方向のみならず、横、斜め等、全方向へのスクロール動作を行なわせるこの可能な装置を提供

フタに転送される。

この第2の従来例においてスクロールを実行するには2通りの方法がある。その第1は、第1の従来例の場合と同様に映像メモリ内データの移動による方法である。その第2はDMA開始番地を変更する方法であり以下に記述する手順で実行する。

DMAコントローラに2種以上の表示開始番地が設定でき、順次、切換可能とする手段を設ける。第7図の(1)は、スクロール状態が生ずる以前の映像メモリの第1表示開始番地DAD1の設定位置を示している。(1)の場合には、DMA開始番地はDAD1の1種のみでありDAD1のアドレスから"1"ずつ増加するアドレスに格納されているデータが、ライン・バッファにDMA転送され表示される。第7図の(2)はスクロール状態が生じた例でありDMAコントローラにはDAD1, DAD2の2種のDMA開始番地を設定する。DAD1にはスクロール状態発生前のアドレス値に1ラインの表示に必要なアドレス数を加算した

することにある。

本発明は、表示を行なう為に映像メモリのアドレスに供給する表示アドレスの発生において、従来例の如く、単にアドレスのインクリメント機能だけでは無く、表示走査方向の映像メモリのアドレス数をプログラムによって任意の値にCPUが設定できるピッチ・レジスタを設け表示の為に走査が終了する毎に、表示アドレス・レジスタと上記ピッチ・レジスタとのアドレス演算を行なわせ、映像メモリとして、表示領域より大きな領域を設定した場合においても、表示を可能とし、さらに、表示開始番地のみを変更する事によって、縦横斜めの全方向に亘るスクロールを可能とした事の特徴とする。

第5図に映像アドレス制御部分のみを取り上げた本発明の一実施例を示す。この制御部分は文字・図形表示装置の従来例を示した第1図中の"10"で示した部分に相当する。"10"は単なるインクリメントであるが本発明の実施例では4種のレジスタDAD, CHR, PITCH, DAD'と演算

器70によって構成される。DADはアドレス演算に使用されるアドレス・レジスタであり、1画面表示の開始時、又は、スクロール状態発生時に、新規アドレス・データがCPUによって設定される。CHRはインクリメントであって1表示アドレス・サイクルに“1”だけ、その内容は増加され、1ラインの表示終了毎に、その内容は“0”にクリアされる。PITCHは表示走査方向の映像メモリのアドレス数を記憶するレジスタであって、CPUによって任意な値に設定できる。DAD'はアドレス演算の結果を蓄わえるレジスタであって、この出力が、最終的には映像メモリのアドレスに接続される。

第6図に、本発明の一実施例において実施される各種演算のタイミング関係が示されている。この例では、第8図に示されるように、表示領域に対して、映像メモリの記憶容量を大きく定義してあり、具体的には、表示走査方向の表示領域のアドレス数“16”に対して、映像メモリの走査方向アドレス数は“32”と大きく定義し、ピッチ

れ、その結果(具体的には、 $0+32$ の加算が行なわれるので、“32”)が、レジスタDAD及びDAD'へ格納され、次ライン以降の表示の為の準備をする。上述の演算サイクルが、繰り返されて1画面の表示を形成する。

本発明を用いると第8図に示す、表示領域(1)から表示領域(2)へのスクロールのように縦、横、斜めへのスクロールが、表示開始番地DAD1を変更する事によって容易に実行する事ができ、ピッチ・レジスタPITCHに設定する値を、表示領域の走査方向アドレス数に等しくした場合には、従来例で示したスクロールについても容易に行なえ、本発明は、融通性が高く、自由度の大きなスクロール機能を提供する。

4. 図面の簡単な説明

第1図は、第1の従来例における文字・図形発生装置の構成図、第2図は、その実行タイミング図、第3図は、第2の従来例における文字・図形発生装置の構成図、第4図は、その実行タイミン

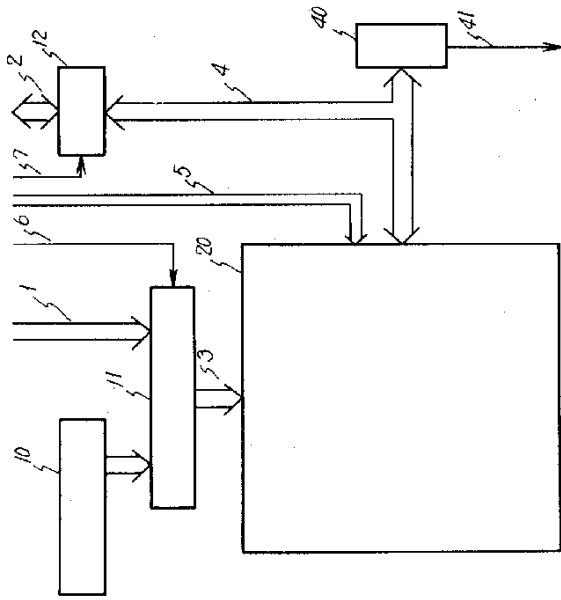
・レジスタPITCHには“32”が、前もって、CPUによって設定されている。

以下、本発明の一実施例の動作について、第5図、第6図を用いて説明する。

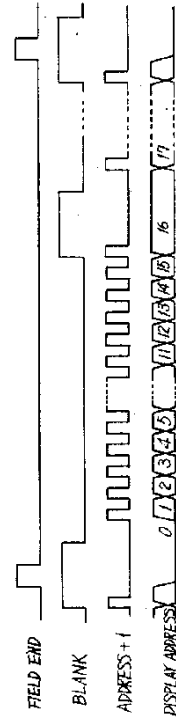
1画面終了毎に発生する信号FIELD ENDが能動的となると、アドレス・レジスタDADに第1の表示開始番地DAD1が、CPUの制御のもとに、信号SET DADが“H”である期間に設定されるとともに、カウンタCHRが“0”にクリアされる。第8図において、表示領域を表示領域(1)に設定した場合にはアドレス・レジスタDADに設定する値は“0”である。表示期間中には、映像メモリのアドレス・サイクルに1回、カウンタCHRは“1”だけ増加するとともに、アドレス・レジスタDADとの間で、加算され、その結果が、レジスタDAD'に一時的に格納された後、映像メモリのアドレスに供給される。この間、レジスタDADの内容には変更はない。1ラインの表示が終了すると、レジスタDADと、ピッチ・レジスタPITCHとの間で加算が行なわ

ぐ図、第5図は、本発明の一実施例におけるアドレス制御装置の構成図、第6図はその実行タイミング図である。第7図は、映像メモリのアドレスと、表示時にアドレス制御装置から与えられる映像メモリ・アドレスとの対応を示す図、第8図は、映像メモリと、表示領域との対応を示す図である。

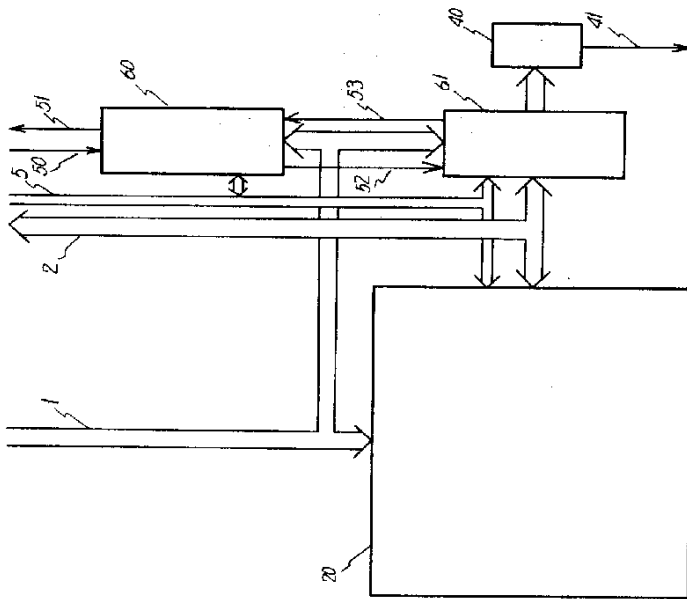
1……CPUのアドレス・バス、2……CPUのデータ・バス、3……映像メモリのアドレス・バス、4……映像メモリのデータ・バス、5……CPUのメモリ制御バス、6……アドレス切換信号、7……データ・バス切換信号、10……映像メモリ・アドレス発生器、11……アドレス・バス切換器、12……データ・バス切換ドライバ、20……映像メモリ、40……並列-直列変換器、41……映像直列信号線、50……HOLD承認信号線、51……HOLD要求信号線、52……DMA承認信号線、53……DMA要求信号線、60……DMAコントローラ、61……CRTコントローラ、70……演算器。



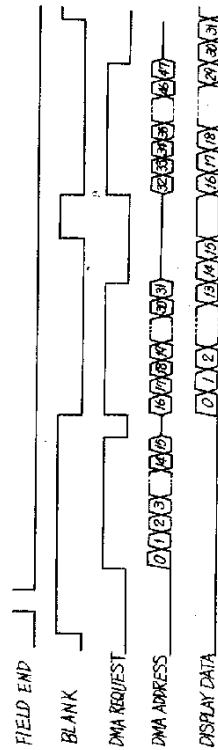
第 1 図



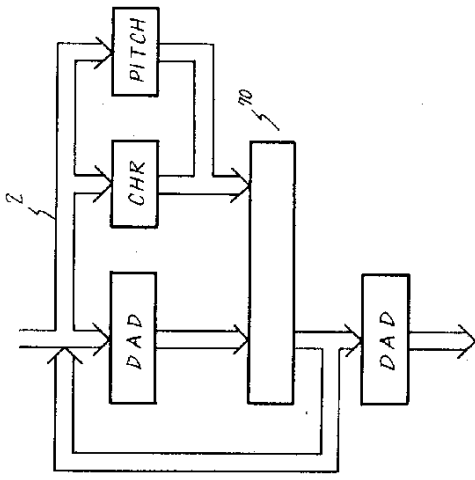
第 2 図



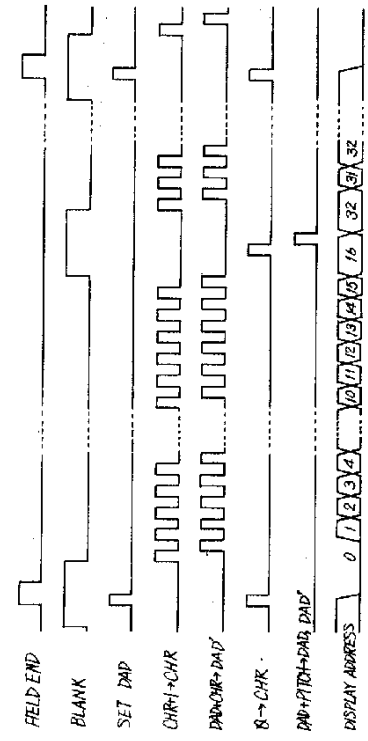
第 3 図



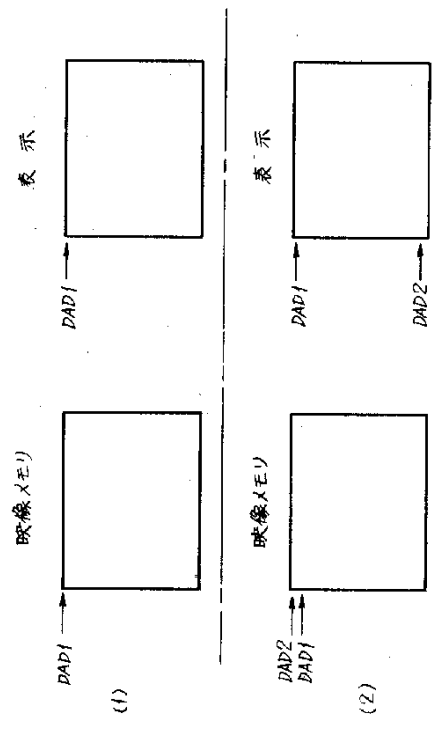
第 4 図



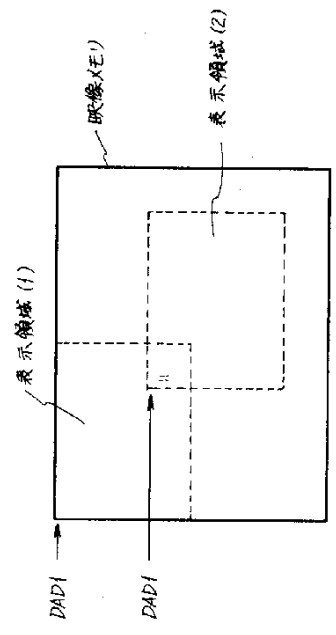
第 5 図



第 6 図



第 7 図



第 8 図

特許法第17条の2の規定による補正の掲載

昭和 55 年特許願第 132009 号 (特開 昭 57- 56885 号, 昭和 57 年 4 月 5 日 発行 公開特許公報 57- 569 号掲載) については特許法第17条の2の規定による補正があったので下記のとおり掲載する。 6 (2)

手 続 補 正 書 (自発)

59.11.14
昭和 年 月 日

特 許 庁 長 官 殿



1. 事件の表示 昭和 55 年 特 許 願 第 132009 号

2. 発明の名称 映像アドレス制御装置

3. 補正をする者

事件との関係 出 願 人
東京都港区芝五丁目33番1号
(423) 日本電気株式会社
代表者 関 本 忠 弘

4. 代 理 人

〒108 東京都港区芝五丁目37番8号 住友三田ビル
日本電気株式会社内
(6591) 弁 理 士 内 原 晋
電 話 東 京 (03) 456-3111 (大代表)
(連絡先 日本電気株式会社 特許部)



Int. Cl. 4	識別記号	序内整理番号
G09G 1/06		7923-5C

5. 補正の対象
明細書の「特許請求の範囲」の欄

(別紙)

6. 補正の内容
別紙のとおり

(訂正) 特許請求の範囲

映像データを記憶するメモリと、該メモリをアドレス指定することによって表示されるべき前記映像データを読み出すアドレス制御回路とを含み、前記アドレス制御回路は連続するアドレスを順次発生する手段と、不連続アドレスを発生する手段とを有し、連続アドレスおよび不連続アドレスを組み合わせることによって前記メモリの容量よりも少ない容量で構成される表示パターンを選択的にアドレス指定できるようにしたことを特徴とする映像アドレス制御装置。

7. 添付書類の目録
(訂正) 特許請求の範囲 1 通