

①日本国特許庁

①特許出願公開

公開特許公報

昭52—144931

⑤Int. Cl.
G 11 C 19/00

識別記号

⑥日本分類
97(7) C 61

庁内整理番号
7257—56

④公開 昭和52年(1977)12月2日

発明の数 1
審査請求 未請求

(全 6 頁)

④シフト・レジスタ回路

東京都港区芝五丁目33番1号
日本電気株式会社内

①特 願 昭51—61085

⑦出 願 人 日本電気株式会社

②出 願 昭51(1976)5月28日

東京都港区芝五丁目33番1号

⑦発 明 者 小口哲司

⑧代 理 人 弁理士 芦田坦 外3名

明 細 書

1. 発明の名称

シフト・レジスタ回路

2. 特許請求の範囲

クロック信号により情報をレジスタに読み込むか或いはシフトすることによつて情報を一時記憶し遅延させるようにしたシフト・レジスタにおいて、前記レジスタを少なくとも3つの列に並列接続し且つ前記クロック信号として前記少なくとも3つの列の数相当の多相ビット信号を用いたことを特徴とするシフト・レジスタ回路。

3. 発明の詳細な説明

本発明は情報記憶装置として使用されるシフト・レジスタ回路に関するものであり、特にシフトすべきビット数が多いときに効果的な回路である。

シフト・レジスタはクロック信号によりトランスファ・ゲートを動作させて情報をレジスタに読み込むか或いは次段のレジスタにシフトさ

せ、これによつて情報を一時記憶し遅延させる機能を有するようにした回路である。

従来この種の回路には多くの種類のものが発表されており、機能的には満足すべきものはいくつかある。しかしいずれの場合でも、シフトレジスタは1ビット当りおのおの少なくとも2個のトランスファ・ゲートと2個のNOTゲートすなわちメモリを用いているので、所要ビット数が多くなると、回路全体の構成素子が極めて多数となるのは止むを得ない。

したがつて本発明の目的は、前述の構成素子の数を可及的に少なくしたシフト・レジスタ回路を提供するにある。

本発明のシフト・レジスタ回路は、クロック信号により情報をレジスタに読み込むか或いはシフトすることにより情報を一時記憶して遅延させるようにしたシフト・レジスタにおいて、前記レジスタを少なくとも3つの列に並列接続し且つ前記クロック信号として前記少なくとも3つの列の数に相当する多相のビット信号を用い

たことを特徴とした回路である。

本発明のシフト・レジスタ回路においては、シフト・レジスタの構成およびクロック信号を上記のようにすることにより、シフト・レジスタ1ビット当り基本的には1個のトランスファゲートと1個のNOTゲートで済むようにしたものである。ただ回路構成上、シフト・レジスタの列の数は、あとに詳しく述べるように、所要のビット数から計算される数値よりは常に1列だけ多く附加する必要がある、また各列の末端には出力のためのトランスファ・ゲートを1個づつ附加する必要があるので、本発明の回路はビット数が多い場合の方が効果的である。

次に図面を参照して詳しく説明する。

第1図は、回路素子としてMOS型電界効果トランジスタ(以下単にトランジスタという)を用いた、従来の1ビット分の記憶容量を持つダイナミック・シフト・レジスタ回路の基本的な構成の一例を示したもので、(a)はトランジスタ構成図、(b)は論理図を示したものである。

ある。

第2図は上記改良型のシフト・レジスタの例を示したもので、(a)は単に低消費電力化のみを目的としたもの、(b)および(c)は上記のほかに直流的な電流通路部分を生じないようにして幾何学的寸法の縮小化を図つた2相レシオレス回路、(d)は同じく4相レシオレス回路である。しかしいずれもトランジスタだけで数えれば6個を有しており、第1図のものと同質的と同じである。

第3図は上記のような構成を持つた各シフト・レジスタを一例として8組直列に配置した従来の8ビットのシフト・レジスタを示したもので、このシフト・レジスタにおいては48個のトランジスタが必要となる。ここでこの従来の回に対し本発明によるシフト・レジスタ回路の構成がどうなるかを説明する前に、1個のトランスファゲートと1個のNOTゲートの組合せの回路を並列に配置することの意味および列の数をどのようにとるかについて説明する。

第4図は上記の配置のうち最も基本的な例を

ϕ_1 および ϕ_2 は1ビット期間内におのおの1個交互に“H”となる基本クロック・パルスであり、トランジスタTr1のゲートに ϕ_1 を加えてTr1をオンさせて入力情報をトランジスタTr2のゲート・ソース間容量に一時的に蓄積し、次にトランジスタTr3のゲートに ϕ_2 を加えて前記の蓄積された情報をトランジスタTr4のゲートに加えてそのドレインから出力させるようになっており、結果的にみて入力が1ビット分遅れて出力されることになる。なお1ビット期間とは ϕ_2 が“H”となつた時点から次にまた“H”となるまでの期間をいう。この図から分るように、従来の回路では、情報を1ビット分シフトさせるにはどうしても2つのトランスファ・ゲートとおのおの2個のトランジスタから成る2つのNOTゲートを必要とした。すなわち1ビット当り6個のトランジスタを必要とした。またこの基本的なシフト・レジスタ回路には種々の改良型が発表されているが、そのいずれも構成素子が上記と同じか或いはそれより複雑で

示したものであり、トランスファゲート1とNOTゲート2の組合せから成る^破点線^破で区切られた部分が本発明における1ビット分のレジスタの基本形をなすもので、これに出力のためのトランスファゲートを附加し、更に上記構成の列と同じ構成の列を最終段列として1列附加した状態を示している。

第5図は第4図の回路に用いられるクロック信号AおよびBと基本クロックパルス ϕ_1 および ϕ_2 の関係を示したもので、各クロック信号は基本クロックパルスのうちの ϕ_2 と同期し、その長さがおのおの1ビットであるような2相のビット信号である。そして各ビット信号は第4図に示すような組合せで各トランジスタのゲートに入力されている。

いまビット信号Aが“1”となると、そのときの入力信号はトランスファゲート1を通してNOTゲート2に一時的に記憶され、次にビット信号Bが“1”となると、前記記憶された入力信号はトランスファゲート3を通して出力

され、結果的に1ビット分のシフトが行われたことになる。なおビット信号Bが“1”になつたときに入力信号があつたとすれば、その入力信号はトランスファ・ゲート4を通してNOTゲート5に一時的に記憶され、次にビット信号Aが“1”になつたときにトランスファ・ゲート6を通して出力される。以上のようにして、各NOTゲートには入力信号が1ビットの期間記憶されるので、基本的には1個のトランスファ・ゲートと1個のNOTゲートで1ビットのシフトが可能となる。

上記の構成において重要なことは、附加すべき列の数は、第2回目のAビット信号が来たときに、第1回目に記憶された入力信号を予めこのNOTゲートから出力として出すためのものであつて、基本組合せが多数並列に配置された場合でも只1列だけで済むということと、またトランスファ・ゲート3は、基本組合せが出力端である場合(この例の場合これに相当する)にのみ必要ということである。後者については、

スタに入力させるためのクロック配線のシフトレジスタ内に占める割合は、列の数が多くなるに従つて増加するので、列の数をあまり多くすることは望ましくない。また多相信号発振器およびドライバも、シフトレジスタ外に配置することは出来るにしても、あまり多くすることは望ましくないものである。

第6図および第7図は、公約数2を有するシフトレジスタを3列の並列接続形式にしたときの各クロック信号のタイミングチャートと回路構成をそれぞれ示したもので、この場合図面の複雑化を避けるため、各列4つの基本の組合せを持たせたもの、即ち第3図の従来回路に合せて8ビットのシフトレジスタとしたものを示している。

いまビット信号Aが“1”となると、そのときの入力信号は第1列の最初のAで示したトランスファ・ゲートを通してNOTゲート7に記憶され、次にビット信号Bが“1”となると、第2列の最初にBで示したトランスファ・ゲート

各列に複数個の基本組合せを直列に接続したときは次段のトランスファ・ゲートがこの役目をするので、出力用トランスファ・ゲートは必要なくなる。さらに附言すれば、第4図からすぐ分るように、この回路は1ビットの記憶容量を持たすために6~8個のトランジスタを必要としており、従来の場合の6個より平均してより多数を必要としているが、この回路は、さきに述べたように、単に本発明の並列配置の意味を説明するため挙げたものにすぎず、並列回路が2つの場合は本発明の範囲外にあることに注意すべきである。

次にシフトレジスタの列の数をどう選ぶかについて概要を説明すると、シフトさるべきビット数が公約数を持つているときは、その公約数に1を加えた数の列とすることである。たとえば8ビットのシフトレジスタのときは、レジスタの数を3列又は5列とし、また、機能的にのみ考えれば、9列としてもよい。しかし後にも述べるように、クロック信号を各トランジ

スタは能動的になるが、NOTゲート7に記憶された入力信号はそのままである。勿論このとき入力信号があればNOTゲート8に記憶されるが、いまここでは考慮外とする。次にビット信号Cが“1”となると、ビット信号Bの場合と同じような動作をするが、前記NOTゲート7に記憶された入力信号は相変らずそのままである。以下これを繰返し、8回目にビット信号Bが“1”になつた時点においては、先述の入力信号はその列の最後のNOTゲート10にすでに(7回目に)記憶された状態になつている。そして9回目になりビット信号Cが“1”になると、第1列の最終端位置に附加された出力用のトランスファ・ゲートが能動的になつてNOTゲート10に記憶されていた入力信号が出力される。すなわち最初にNOTゲート7に記憶された入力信号は8ビット分だけ遅延して出力されたことになる。なおさきに考慮外に置いた第2列のNOTゲート8に記憶されたかも知れない入力信号は、もし実際に入力されていたとすれば、次の10

回目にビット信号 B が " 1 " になつたときに出力されることになる。第 3 列についても全く同様のことがいえる。なおこのときにおける本発明の効果についてはあとにまとめて述べる。

第 8 図は前記の回路に用いた 3 相ビット信号を発生する回路を示したものである。3 相信号発生器は基本時刻パルス ϕ_1 , ϕ_2 によつて 1 ビット遅延機能を持つたシフト・レジスタ 11 及び 12 と NOR ゲート 13 とによつて構成される極めて簡単な回路である。レジスタ 11 の出力はレジスタ 12、NOR 13 の入力となり、レジスタ 12 の出力は NOR ゲート 13 に入力され、NOR ゲート 13 の出力はレジスタ 11 の入力に帰還され、 ϕ_1 , ϕ_2 が入力されている限り自己発振を続ける。レジスタ 11 の出力 B 及びレジスタ 12 の出力 C が各々 " 0 " のとき、NOR ゲート 13 の出力 A は " 1 " であり、次のビットタイムではレジスタ 11 及び 12 によつて A および B の出力が 1 ビット遅延され、B 出力が " 1 " となり、C 出力が " 0 " となる。このと

き NOR ゲート 13 の出力 A は " 0 " である。さらに次のビットタイムでは、同様に B 出力が " 0 "、C 出力が " 1 " となり、A 出力は " 0 " となる。以上の動作が繰返される事によつて、第 5 図のタイミングチャートで示すような A, B, および C の 3 相ビット信号が発生される。

第 9 図および第 10 図は、8 ビットのシフトレジスタを、その公約数の他の 1 つである 4 に附加的に 1 をプラスした 5 列に配置した場合の各クロック信号のタイミングチャートおよび回路の構成をそれぞれ示したものである。最初のビット信号 A によつて記憶された入力信号が 9 回目に受けるビット信号 D により出力されることは、前述の 3 列の場合におけると同じような形で行われる。3 列の場合と異なるのは、各トランスファ・ゲートに加えられるビット信号の配置が異なっていることだけである。この場合本発明の効果は 3 列の場合と若干異なるが、これを後にまとめて述べることにする。なおこの

回路に用いる 5 相ビット信号を発生する回路は公知であり、ここでは説明を省略する。

第 11 図および第 12 図は 8 ビットのシフトレジスタの全部を並列にした場合のクロック信号のタイミングチャートと回路構成をそれぞれ示したもので、この程度ならば兎も角、ビット数が非常に多くなつた場合ビット信号発生器などに問題が生じるので実用的には好ましい配置ではないが、さきに第 4 図および第 5 図で示した、本発明の原理ともいふべき 2 列の回路の列の数のみを多くした場合に相当するので、本発明の回路の動作の理解に資するため示したものである。

次に本発明の効果について述べる。はじめに N ビットのシフト・レジスタを n 相クロック (N は公約数 $n - 1$ を有するとして) で構成しようとする場合のシフト・レジスタ回路の占める面積について考えると、従来の 1 ビット分すなわち実質的にトランジスタ 6 個を単位として考えると、本発明における基本の組合せ単位は

1/2 となり、各列の末端に附加するトランスファ・ゲートは 1/6 となる。したがつてシフト・レジスタのみの面積は概算

$$n \{ N / \{ 2(n-1) \} + 1/6 \} \quad \dots (1)$$

であらわされる。この場合単位となる従来回路の 1 ビット分は実用的には $100 \mu \times 100 \mu$ 程度であり、またさきに述べたように、n として 2 は採らないものとする。

上記の (1) 式を用いて本発明のシフト・レジスタに要するトランジスタの数を従来のものと比較すると、さきに例示した 8 ビットのときは、 $n = 3, 5, 9$ に対して 81%, 73%, 75% と計算され、32 ビットのときは 77%, 65%, 61% と計算され以下ビット数増すに従つて次第に効果を発揮することは (1) 式から理解されるであろう。

しかし実際にはシフト・レジスタ内にはクロック配線が配置されるので、実務的にはその分を含めて考えた方がシフト・レジスタとしての比較には適している。クロック配線がシフト・

レジスタ中に占める割合は、シフト・レジスタの実際の形状の2辺の比が異なるに従つて変化するので、一般的な式を出すことは困難である。しかしレジスタとしての形状を2辺の長さがあまり異なっていない矩形として、クロック線の占有面積を、2辺の外側に $15\mu \times (n+1)$ の幅で囲んだ領域と考えれば、大まかではあるが一応の計算が出来る。そこで8ビットのシフト・レジスタの場合についていえば、従来のものに比較して $n=3, 5, 9$ において110%, 120%, 160%と計算され、従来のものよりむしろ増加することとなる。この点8ビットのシフト・レジスタは例示としては好ましいものではないが、図面を分り易くするためあえて用いたものである。しかし32ビットの場合は、 $n=3, 5, 9$ に対して91%, 87%, 98%と計算され、充分とはいえないが一応の効果を示している。そして128ビットのときは $n=3, 5, 9$ に対して83%, 73%, 75%と計算され、512ビットのときは

79%, 68%, 65%と計算され、相当の効果を示すこととなる。以上から分ることは、本発明はビット数が多いときによくその効果を示すことである。

以上はシフト・レジスタ本体を主として考えたが、これに多相クロック信号を発生する回路および波形整形のためのドライブ回路の占める面積をも考慮しなければならないことがある。上記2つの回路は、現在知られている回路を想定して、従来回路の1ビット分を単位として、それぞれほぼ

$$1.5(n-1) \text{ および } 3.8n \quad (2)$$

によつて表わされ、 $n=3, 5, 9$ に対してそれぞれ約15, 25, 45であらわされる。これらの値を前記クロック配線を考慮した占有面積にそれぞれ加えると、32ビットおよび128ビットのときは、従来のものと同じか或いは従来のものより大きくなる。しかし512ビットとビット数が増大すると、 $n=3, 5, 9$ に対し82%, 73%, 75%と計算され、

本発明の効果が明確になつてくる。ビット数が更に多くなれば、本発明の効果はより一層大きくなる。

以上のとおりであるから、本発明は従来回路に比較して少ない回路素子で同一規模の回路機能を得ることができ、特にシフトすべきビット数が多いときにその効果が大きくなるものである。なお上記の回路によれば多相ビット信号間の間隔が自動的に確保できるので、NOTゲートとして素子面積を小さくできるレンオレス構成を用いたとしても、シフト・クロックの重畳による電流通路部は形成されず、正常な動作を行うことができる。

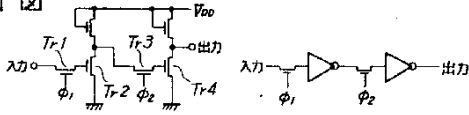
4. 図面の簡単な説明

第1図は従来の1ビット分のシフト・レジスタ回路を示した図、第2図は上記の改良型を示した図、第3図は従来の8ビットのシフト・レジスタ回路図、第4図は本発明の基本となるトランジスタの組合せを示した図、第5図は第4図の回路に用いられるビット信号を示した図、

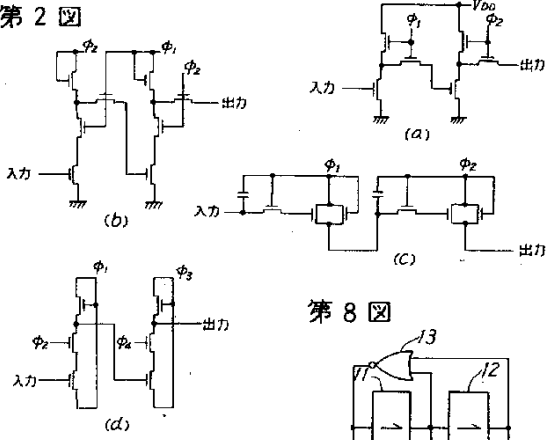
第6図および第7図は本発明の一実施例(8ビット3列)におけるクロックの信号と回路構成をそれぞれ示した図、第8図は3相ビット信号発生回路、第9図および第10図は本発明の他の実施例(8ビット5列)におけるクロック信号と回路構成をそれぞれ示した図、第11図および第12図に更に他の実施例(8ビット9列)におけるクロック信号と回路構成をそれぞれ示した図をあらわしている。

記号の説明： ϕ_1 および ϕ_2 は基本クロックパルスを示し、A, B, … I はビット信号を示している。

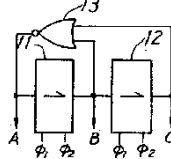
第1図



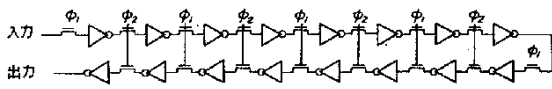
第2図



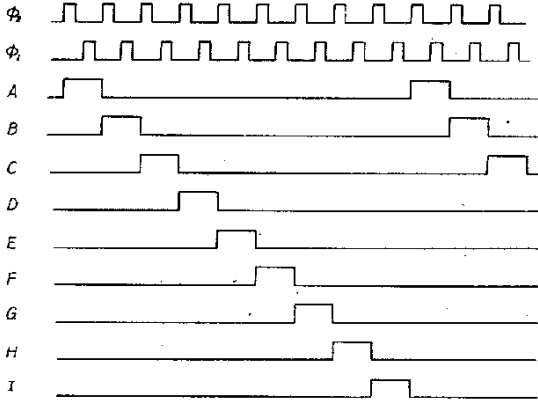
第8図



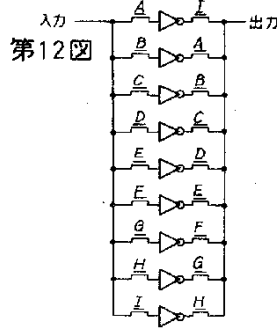
第3図



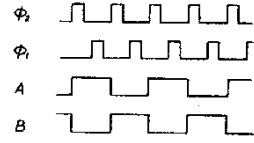
第11図



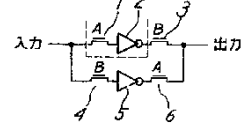
第12図



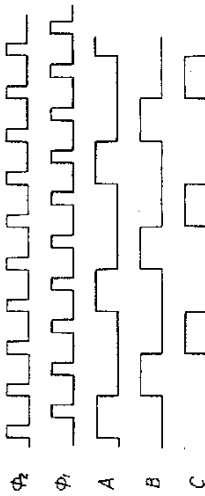
第5図



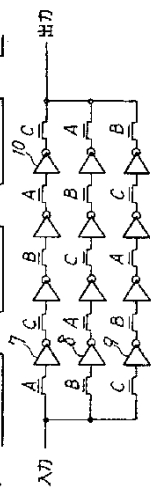
第4図



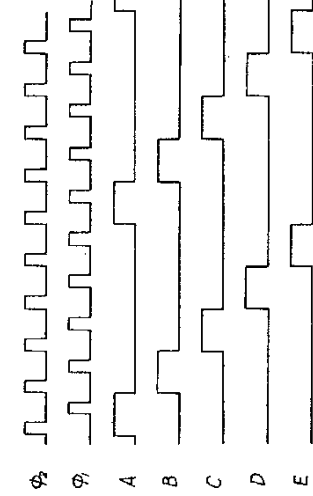
第6図



第7図



第9図



第10図

