

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許出願公告番号

特公平7-107664

(24) (44) 公告日 平成7年(1995)11月15日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 7/52	3 1 0 A			

発明の数1(全 4 頁)

(21) 出願番号	特願昭62-31026	(71) 出願人	999999999 日本電気株式会社 東京都港区芝5丁目7番1号
(22) 出願日	昭和62年(1987)2月13日	(72) 発明者	小口 哲司 東京都港区芝5丁目33番1号 日本電気株式会社内
(65) 公開番号	特開昭63-198125	(74) 代理人	弁理士 京本 直樹 (外2名)
(43) 公開日	昭和63年(1988)8月16日		審査官 斉藤 操
		(56) 参考文献	特開 昭57-71045 (J P, A) 特開 昭54-47539 (J P, A)

(54) 【発明の名称】 乗算回路

1

【特許請求の範囲】

【請求項1】乗数データの全ビットが初期状態においてセットされる第1のレジスタと、被乗数データの全ビットが初期状態においてセットされる第2のレジスタと、第3のレジスタと、前記第1のレジスタの最下位ビットを除く残りのビットデータを受け当該ビットデータを最下位側に1ビットシフトしてかかるシフトデータを前記第1のレジスタに再設定する第1のシフトと、前記第1のレジスタの最下位ビットを除く残りのビットデータを前記第1のシフトと並行して受け当該ビットデータが零であるかどうかを検出する零検出器と、前記第2のレジスタの全ビットデータを受け当該全ビットデータを最上位側に1ビットシフトしてかかるシフトデータを前記第2のレジスタに再設定する第2のシフトと、前記第2のレジスタの全ビットデータを前記第2のシフトと並行して

2

受けるとともに前記第3のレジスタのデータを受け、前記第1のレジスタの最下位ビットが零のときは両者の加算を行わず1のときは両者の加算を行ってその結果を前記第3のレジスタに設定する加算器とを備え、前記第1のシフト、前記第2のシフトおよび前記加算器のそれぞれの動作が1クロックで実行されるように成すとともに、前記零検出器が前記ビットデータが零であることを検出したときであってそのときの前記第1レジスタの最下位ビットが零であるときに乗算処理を終了する乗算回路。

【発明の詳細な説明】

本発明は乗算回路に関し、とくにデジタル処理で用いられる乗算回路に関する。

(従来技術)

C = A × B のような乗算を行うとき、A を被乗数、B を

10