

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許出願公告番号

特公平7-107664

(24) (44) 公告日 平成7年(1995)11月15日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 7/52	3 1 0 A			

発明の数1(全 4 頁)

(21) 出願番号	特願昭62-31026	(71) 出願人	999999999 日本電気株式会社 東京都港区芝5丁目7番1号
(22) 出願日	昭和62年(1987)2月13日	(72) 発明者	小口 哲司 東京都港区芝5丁目33番1号 日本電気株式会社内
(65) 公開番号	特開昭63-198125	(74) 代理人	弁理士 京本 直樹 (外2名)
(43) 公開日	昭和63年(1988)8月16日		審査官 斉藤 操
		(56) 参考文献	特開 昭57-71045 (J P, A) 特開 昭54-47539 (J P, A)

(54) 【発明の名称】 乗算回路

1

【特許請求の範囲】

【請求項1】乗数データの全ビットが初期状態においてセットされる第1のレジスタと、被乗数データの全ビットが初期状態においてセットされる第2のレジスタと、第3のレジスタと、前記第1のレジスタの最下位ビットを除く残りのビットデータを受け当該ビットデータを最下位側に1ビットシフトしてかかるシフトデータを前記第1のレジスタに再設定する第1のシフトと、前記第1のレジスタの最下位ビットを除く残りのビットデータを前記第1のシフトと並行して受け当該ビットデータが零であるかどうかを検出する零検出器と、前記第2のレジスタの全ビットデータを受け当該全ビットデータを最上位側に1ビットシフトしてかかるシフトデータを前記第2のレジスタに再設定する第2のシフトと、前記第2のレジスタの全ビットデータを前記第2のシフトと並行して

2

受けるとともに前記第3のレジスタのデータを受け、前記第1のレジスタの最下位ビットが零のときは両者の加算を行わず1のときは両者の加算を行ってその結果を前記第3のレジスタに設定する加算器とを備え、前記第1のシフト、前記第2のシフトおよび前記加算器のそれぞれの動作が1クロックで実行されるように成すとともに、前記零検出器が前記ビットデータが零であることを検出したときであってそのときの前記第1レジスタの最下位ビットが零であるときに乗算処理を終了する乗算回路。

【発明の詳細な説明】

本発明は乗算回路に関し、とくにデジタル処理で用いられる乗算回路に関する。

(従来技術)

C = A × B のような乗算を行うとき、A を被乗数、B を

10

乗数、Cを積と呼んでいる。一般に知られている汎用型のプロセッサが持っている加算器を使用して加算を何度も実行していくことにより乗算結果を得る方法では、次のようにして乗算が行なわれる。第3図に示すように、乗算処理に先だって、R1、R2、R3の3本の汎用レジスタに積の初期値《0》、被乗数の初期値《A》、乗数の初期値《B》を夫々設定する。第4図は従来例によって乗算を実行する流れ図である。汎用プロセッサが持っている命令をもとにして乗算を行なう時のステップが示されている。まず、乗数レジスタの最下位ビット（LSB）が零であるかどうかを判定する(①)。零である場合にはさらに乗数レジスタの内容すべてが零であるかどうかを判定する(③)。もし零であれば乗算ルーチンから抜ける。乗数レジスタ内容が零でなければ乗算を続行する必要があるため、次のビットの加算データを準備するために④と⑤を実行する。乗算レジスタの最下位ビットによる加算が終了したので、まず、乗数レジスタ内容を上位ビットから下位ビットへ右シフトする(④)。次のビットでの加算を行うため被乗数レジスタ内容を下位ビットから上位ビットへ左シフトし、①に戻る。①の零判定の結果、零でなかった場合には積レジスタと被乗数レジスタとの間で加算を行いその結果を積レジスタに格納した後、上記したように④と⑤を実行し①に戻る。

(解決すべき問題点)

汎用プロセッサはこのように汎用的な命令しか持っていないので、整数乗算を実行するのに多くのステップを要する。1つの箱が1クロックで実行できるように命令の実行速度を高速化したとしても、なお、各ビットの乗算には夫々4クロックを要する。このように汎用プロセッサでは使用できる命令が限られており、それらの個々の命令を組み合わせると乗算ソフトウェアを作成する必要があったため、高速な乗算を実行できなかった。加算器をマトリクスで構成したハードウェア乗算器もあるが、加算器のビット数は入出力データのビット数に依存して膨大な値になってしまう。そこで、演算器としては乗算専用ではなく通常の加減算にも使える汎用の加算器を使用するだけで、汎用プロセッサによる乗算よりも高速な乗算器が望まれている。

本発明の乗算回路は、乗数データの全ビットが初期状態においてセットされる第1のレジスタと、被乗数データの全ビットが初期状態においてセットされる第2のレジスタと、第3のレジスタと、前記第1のレジスタの最下位ビットを除く残りのビットデータを受け当該ビットデータを最下位側に1ビットシフトしてからシフトデータを前記第1のレジスタに再設定する第1のシフタと、前記第1のレジスタの最下位ビットを除く残りのビットデータを前記第1のシフタと並行して受け当該ビットデータが零であるかどうかを検出する零検出器と、前記第2のレジスタの全ビットデータを受け当該全ビットデータを最上位側に1ビットシフトしてかかるシフトデータを前

記第2のレジスタに再設定する第2のシフタと、前記第2のレジスタの全ビットデータを前記第2のシフタと並行して受けるとともに前記第3のレジスタのデータを受け、前記第1のレジスタの最下位ビットが零のときは両者の加算を行わず1のときは両者の加算を行ってその結果を前記第3のレジスタに設定する加算器とを備え、前記第1のシフタ、前記第2のシフタおよび前記加算器のそれぞれの動作が1クロックで実行されるように成すとともに、前記零検出器が前記ビットデータが零であることを検出したときであってそのときの前記第1レジスタの最下位ビットが零であるときに乗算処理を終了することを特徴とする。

(実施例)

第1図は本発明の1実施例におけるブロック図である。第2図は本発明における乗算実行部分の流れ図である。以下、図を参照して説明する。1はプロセッサが積レジスタ11と被乗数レジスタ12と乗数レジスタ13に夫々初期値を設定するとき使用するデータバスであり、2はプロセッサから与えられる命令である。

乗数レジスタ(R3)13の最下位ビット(LSB)を除く他のビットはバス54を介して零検出器30と右シフタ31とに並列に入力される。零検出器30は入力されたビットがすべてがである時信号41をプロセッサ(図示せず)に送る。右シフタ31は入力されたビットを1ビットだけ右にシフトし、その最上位ビット(MSB)には、“0”を入力する。被乗数レジスタ(R2)12はその全ビットがバス51を介して、左シフタ32と加算器20のB入力端に入力される。左シフタ32は入力されたビットを1ビットだけ左(MSB方向)にシフトし、その最下位ビットに“0”を入力する。左シフトされたビットは被乗数レジスタ(R2)12に再入力される。積レジスタ(R1)11はその全ビットがバス50を介して加算器20のA入力端に入力される。加算器20は乗数レジスタ13のLSBをうけ、これが“1”のときはA入力端とB入力端とに入力されたビットを加算し、“0”のときは加算を行わない。加算結果はバス52を介して積レジスタ(R1)11に入力される。

以下に動作を説明する。第3図に示す従来例と同様に、先ず各レジスタに初期値を設定した後、第2図に示す乗算実行ステップに入る。このステップは1クロックで終了するが乗算が終了する判定結果が得られるまではこのステップを連続的に繰り返し実行することになる。乗数レジスタ13の最下位ビットを除いた内容が零かどうかを判定することにより終了判定が行われる。零検出器30は乗数レジスタの最下位ビットを除いた内容が零である場合には判定信号線41が活性化してプロセッサにこれを知らせる。プロセッサはその状態を判定してこのステップから抜け出すかどうかを制御する。乗数レジスタ13の最下位ビットはこのとき加算をするかどうかの判定に使用されている。乗数レジスタの最下位ビットの出力線42は加算器に接続され、最下位ビットが“0”の場合には加算

をせず、“1”の場合にはデータバス50を介して入力される積レジスタ内容とデータバス51を介して接続される被乗数レジスタ内容との間で加算を実行する。加算結果は加算器出力データバス52を介して積レジスタ11に転送される。乗数レジスタ13の内容はデータバス54を介してさらに右シフタ31に接続されているので、上記と同時に、即ち加算及び加算結果の積レジスタ11への転送と同時に、上位ビットから下位ビット方向に入力データを1ビットだけシフトしその結果をデータバス55を介して乗数レジスタ13に転送する。このとき右シフタの最上位ビット位置には“0”が入力されるようにしてある。また、同時に、即ち右シフタ31でのシフト及びシフト結果の乗数レジスタ13への転送と同時に、被乗数レジスタ12の内容はデータバス51を介して左シフタ32に入力され下位ビットから上位ビット方向に入力データを1ビットだけシフトし、その結果をデータバス53を介して被乗数レジスタ12に転送する。このとき左シフタの最下位ビット位置には“0”が入力されるようにしてある。プロセッサから与えられる命令2は上記動作を同時に実行するタイミングを設定するためのものである。

以上のように、乗数レジスタに零検出器と右シフタと、被乗数レジスタ12に左シフタを夫々独立に接続し、乗数レジスタのLSBを除くビットを零検出器と右シフタに与え、同時に乗数レジスタのLSBを加算器に与えるように *

*構成しているので、前述した各動作、即ち第2図にも示すように、加算器20での加算と加算結果の積レジスタ11への転送、右シフタ31でのシフトとシフト結果の乗数レジスタ13への転送、及び左シフタ32でのシフトとシフト結果の被乗数レジスタ12への転送の各動作を、同時に実行することができ、1ビット当りの乗算を1クロックで終了することができる。

(発明の効果)

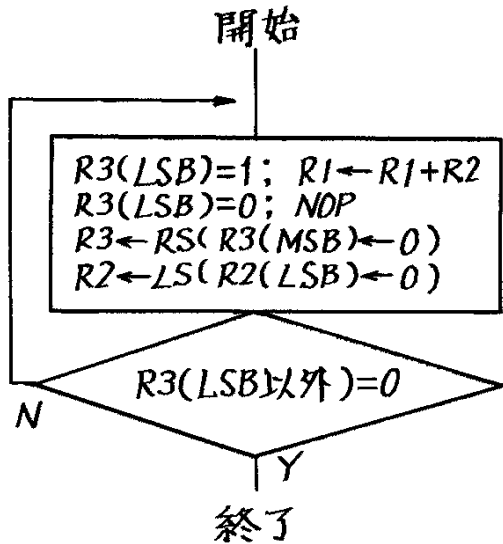
本発明は汎用プロセッサの乗算速度より高速で、かつ専用のハードウェア乗算器より小規模のハードウェア回路をもつ乗算回路を提供できる。すなわち、被乗数レジスタと同じビット長の加算器を用い、ハードウェアの規模が大きくない2つのシフタと零検出器を追加するだけで従来例よりもさらに4倍の処理速度の向上が実現できる。

【図面の簡単な説明】

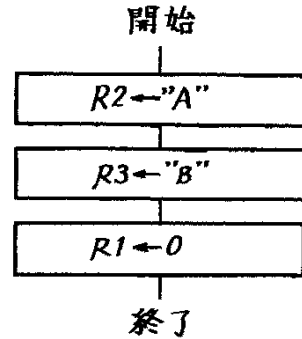
第1図は本発明の1実施例におけるブロック図、第2図は1実施例における乗算ステップにおける実行内容を示す流れ図、第3図は乗算実行の前にかじり実行する初期設定を示す流れ図、第4図は従来例における乗算実行の流れ図である。

11……積レジスタ、12……被乗数レジスタ、13……乗数レジスタ、20……加算器、30……零検出器、31……右シフタ、32……左シフタ。

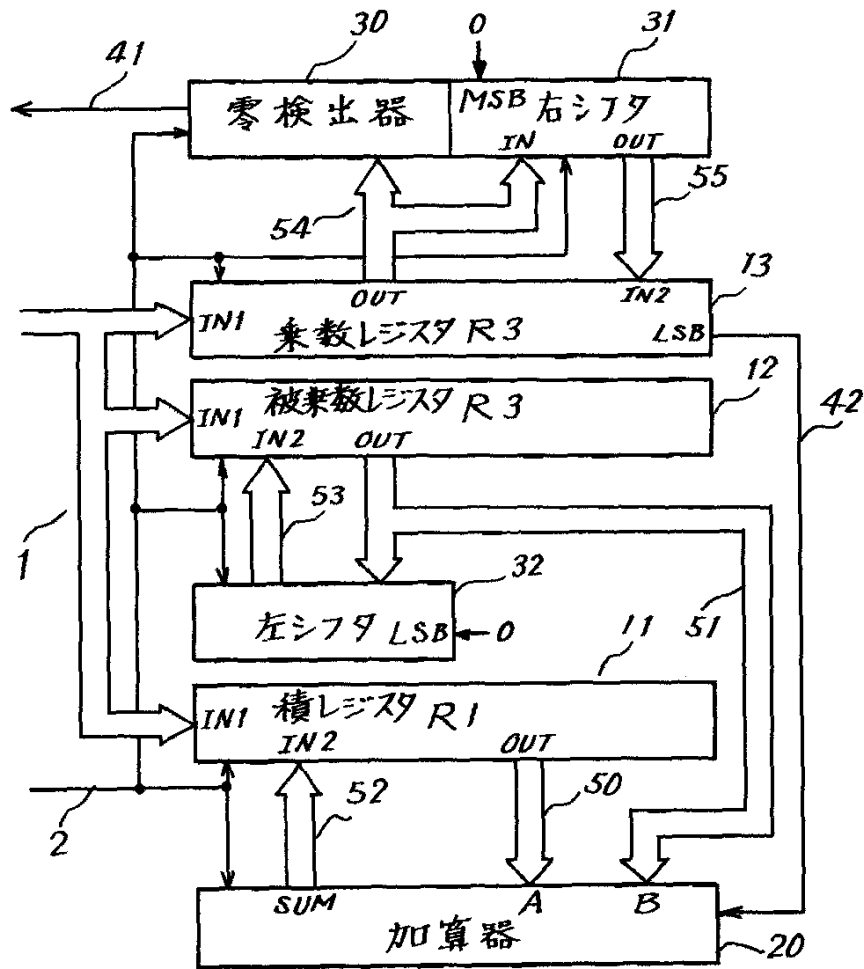
【第2図】



【第3図】



【第1図】



【第4図】

