

⑫ 特許公報 (B 2)

平2-51198

⑮ Int. Cl.⁵
G 09 G 1/02

識別記号 庁内整理番号
A 8121-5C

⑳ 公告 平成2年(1990)11月6日

発明の数 1 (全5頁)

㉑ 発明の名称 表示装置

審判 昭63-20242 ㉒ 特願 昭56-51417 ㉓ 公開 昭57-165890
㉔ 出願 昭56(1981)4月6日 ㉕ 昭57(1982)10月13日

㉖ 発明者 小口 哲司 東京都港区芝五丁目33番1号 日本電気株式会社内
㉗ 発明者 香園 一郎 東京都港区芝五丁目33番1号 日本電気株式会社内
㉘ 出願人 日本電気株式会社 東京都港区芝5丁目7番1号
㉙ 代理人 弁理士 内原 晋
審判の合議体 審判長 宇山 紘一 審判官 村井 誠次 審判官 植松 伸二
㉚ 参考文献 特開 昭53-132227 (J P, A)

1

2

㉛ 特許請求の範囲

1 表示情報が格納されるN個 (Nは2以上の整数) のメモリと、N(Nは2以上の整数) づつ値を歩進する機能を有するアドレス発生回路と、該アドレス発生回路から出力されるアドレスの上位
5 アドレスビットを前記複数のメモリに共通に供給するアドレスバスと、描画サイクルで前記アドレス発生回路から出力されるアドレスの下位アドレスビットの内容に応じて前記N個のメモリの1つ
10 を選択する回路と、表示サイクルで前記アドレス発生回路から出力されるアドレスの下位アドレスビットを無視して上位アドレスビットにより前記N個のメモリを同時に選択する回路とを有し、描
15 画サイクルでは1つのメモリに対して読み出し/書き込みを行ない、表示サイクルではN個のメモリから同時に表示情報を読み出すことを特徴とする表示装置。

発明の詳細な説明

本発明は画像処理装置において、表示用機器に画像用データの表示を行なう表示装置に関する。
20 陰極線ブラウン管 (以下、CRTという) を使用して、リフレッシュメモリに格納された情報を表示する機能が画像処理装置の重要な機能の一つとして要求されている。従来の表示装置における動作を図面を用いて説明する。第1図は従来のアドレス発生回路とnビットを基本単位とする映像

用データが格納されているリフレッシュメモリ (以下、映像メモリという) とその周辺装置からなる表示装置のブロック図である。表示を開始する前に、あらかじめ中央処理装置 (CPU) から
5 映像メモリ1の表示開始アドレスがシステムデータバス6を経由してアドレス発生回路2のディスプレイアドレスレジスタ (以下DADレジスタ) に設定される。アドレス発生回路から表示開始アドレスが、アドレスバス5に出力され、映像メモ
10 リのアドレスに与えられる。映像メモリから読み出されたデータはロードクロック9 (LOADφ) によつて、並列一直列変換シフトレジスタ3にロードされ、外部回路によつて発生させるシフトクロック10 (SHIFTφ) によつてシフトされ、
15 映像直列信号11となりCRTに供給される。アドレス発生回路では、表示開始アドレスを基にして、DAD+1→DAD(DADレジスタの内容を+1してDADレジスタに設定する) のアドレス演算を行ない上記動作を繰り返すというようにして表示を行なう。第1図のブロック構成を持つ表示装置では、映像メモリのデータバス幅nによつて1回のアクセスで表示できる情報量が設定されて
20 しまう。この方法では表示する情報量が増大化するに連れて、アドレスを映像メモリに頻繁に与えてやる必要があるため、これに費やす時間が多大なものになり、より高速な表示動作が要求される