

⑫ 特許公報 (B 2)

平2-51198

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公告 平成2年(1990)11月6日

G 09 G 1/02

A

8121-5C

発明の数 1 (全5頁)

⑲ 発明の名称 表示装置

審判 昭63-20242

⑳ 特願 昭56-51417

㉑ 公開 昭57-165890

㉒ 出願 昭56(1981)4月6日

㉓ 昭57(1982)10月13日

㉔ 発明者 小口 哲司 東京都港区芝五丁目33番1号 日本電気株式会社内

㉕ 発明者 香園 一郎 東京都港区芝五丁目33番1号 日本電気株式会社内

㉖ 出願人 日本電気株式会社 東京都港区芝5丁目7番1号

㉗ 代理人 弁理士 内原 晋

審判の合議体 審判長 宇山 紘一 審判官 村井 誠次 審判官 植松 伸二

㉘ 参考文献 特開 昭53-132227 (J P, A)

1

2

㉙ 特許請求の範囲

1 表示情報が格納されるN個 (Nは2以上の整数) のメモリと、N(Nは2以上の整数) づつ値を歩進する機能を有するアドレス発生回路と、該アドレス発生回路から出力されるアドレスの上位
5 アドレスビットを前記複数のメモリに共通に供給するアドレスバスと、描画サイクルで前記アドレス発生回路から出力されるアドレスの下位アドレスビットの内容に応じて前記N個のメモリの1つ
10 を選択する回路と、表示サイクルで前記アドレス発生回路から出力されるアドレスの下位アドレスビットを無視して上位アドレスビットにより前記N個のメモリを同時に選択する回路とを有し、描
15 画サイクルでは1つのメモリに対して読み出し/書き込みを行ない、表示サイクルではN個のメモリから同時に表示情報を読み出すことを特徴とする表示装置。

発明の詳細な説明

本発明は画像処理装置において、表示用機器に画像用データの表示を行なう表示装置に関する。

20 陰極線ブラウン管 (以下、CRTという) を使用して、リフレッシュメモリに格納された情報を表示する機能が画像処理装置の重要な機能の一つとして要求されている。従来の表示装置における動作を図面を用いて説明する。第1図は従来のアドレス発生回路とnビットを基本単位とする映像

用データが格納されているリフレッシュメモリ (以下、映像メモリという) とその周辺装置からなる表示装置のブロック図である。表示を開始する前に、あらかじめ中央処理装置 (CPU) から
5 映像メモリ1の表示開始アドレスがシステムデータバス6を経由してアドレス発生回路2のディスプレイアドレスレジスタ (以下DADレジスタ) に設定される。アドレス発生回路から表示開始アドレスが、アドレスバス5に出力され、映像メモ
10 リのアドレスに与えられる。映像メモリから読み出されたデータはロードクロック9 (LOADφ) によつて、並列一直列変換シフトレジスタ3にロードされ、外部回路によつて発生させるシフトクロック10 (SHIFTφ) によつてシフトされ、
15 映像直列信号11となりCRTに供給される。アドレス発生回路では、表示開始アドレスを基にして、DAD+1→DAD(DADレジスタの内容を+1してDADレジスタに設定する) のアドレス演算を行ない上記動作を繰り返すというようにして表示を行なう。第1図のブロック構成を持つ表示装置では、映像メモリのデータバス幅nによつて1回のアクセスで表示できる情報量が設定されて
20 しまう。この方法では表示する情報量が増大化するに連れて、アドレスを映像メモリに頻繁に与えてやる必要があるため、これに費やす時間が多大なものになり、より高速な表示動作が要求される

画像処理の如くでは不都合を生じる場合が多い。従つて、より少ないアドレス供給回数で多くの情報を行なうことが必要とされる。この1つの方法としてデータバス幅を広くすることが考えられるが、他の装置間との関係で容易には実現できない。次に、従来より1回のアドレス供給によつて基本単位以上の情報量の表示を行なつてい

ものにカラー表示がある。この場合の映像メモリの構成の一例を第2図に示す。さらに表示装置のブロック図を第3図に示す。第3図は、映像メモリのデータをCRTに出力する表示サイクルにおいて、第1メモリ21、第2メモリ22、第3メモリ23の同一アドレスの各々のデータが同時に並列一直列変換レジスタ25、26、27に各々のメモリから出力される。例えば、0000Hのアドレス指定をした時、第2図の例では1000H、2000Hの出力もCRTへ同時に送られるように構成している。メモリのデータの読み出し、修正、書き込みを行なう描画サイクルにおいては、アドレスの上位の2ビット33、34の信号(第2図の例ではA₁₇、A₁₆)で描画を行なう映像メモリを選択している。

本発明の目的は描画サイクルにおいて、上記映像メモリの切換え制御をアドレスの下ビットの信号より基にして行なうようにし、アドレス発生回路に表示アドレスの増分をN(Nは2以上とする)としてアドレス演算を行なう手段を設けることによつて、表示サイクルにおいて、映像メモリに与えられる1回のアドレスでn×Nビットのデータがアクセスされるようにし、高速な表示ができるようにした装置を提供するものである。

本発明の表示装置は、映像メモリと映像メモリに格納された画像情報を順次読み出すべくアドレスを発生するアドレス発生回路を有し、ラスタ走査により映像メモリに格納された画像情報をCRT画面上に表示する表示装置において、アド*

*レス発生回路は表示開始アドレスを基にしてDAD+N→DAD(DAD・レジスタの内容を+NしてDAD・レジスタに設定する)のアドレス演算を実行する手段を具備し、映像メモリに格納された情報のCRT画面上への高速表示を可能とする。

本発明の実施例を図面に基いて詳細に説明する。

第4図は本発明の一実施例を示すブロック図で第1メモリ51、第2メモリ52は映像メモリとして使用され、nビットを基本単位とする画像データが格納されている。アドレス発生回路53は表示サイクルにおいて増分を+2としてアドレス演算を行なう回路である。描画サイクルにおいては、アドレスの最下位ビットA0の信号によつてメモリの選択を行なう。A0=0の場合、読み出し信号制御回路56によつて第1メモリの読み出し信号が活性化され、第1メモリのデータがデータバス58に出力され、画像情報を処理する装置に取り込まれる。データが処理された後、書き込み信号制御回路57によつて、第1メモリの書き込み信号が活性化され、第1メモリに処理されたデータが格納されるA0=1の場合には同様に第2メモリが選択される。表示サイクルにおいては、アドレスの最下位ビット、A0の信号は無視され残りのアドレス信号がアドレス・バス59に出力され、第1メモリ、第2メモリに同時に与えられる。各々のメモリから読み出されたnビット長のデータはロード・クロック64(Loadφ)によつて並列一直列変換シフト・レジスタ54、55にそれぞれロードされ、外部回路によつて発生させるシフト・クロック65(Shiftφ)によつてシフトされ2×nビットの情報量の映像直列信号66となりCRTに供給される。アドレス発生回路では

DAD+2→DAD(DAD・レジスタの内容を+2してDAD・レジスタに設定する)

のアドレス演算を行ない新しい表示アドレスとしてアドレス・バスに出力され第1メモリ、第2メモリに与えられるというようにして表示動作を行なう。第5図に本発明の一実施例における表示タイミング図が示されている。本実施例では、上位側アドレスを2つのメモリ51、52に共通に与

え、下位アドレスによつて一方のメモリを選択できるようにしている。

このため、表示画面上の一水平走査線上のデータを2つにわけ、左半分をメモリ51に、右半分をメモリ52に書込むことができる。

しかも、メモリ51に偶数アドレスを与え、メ

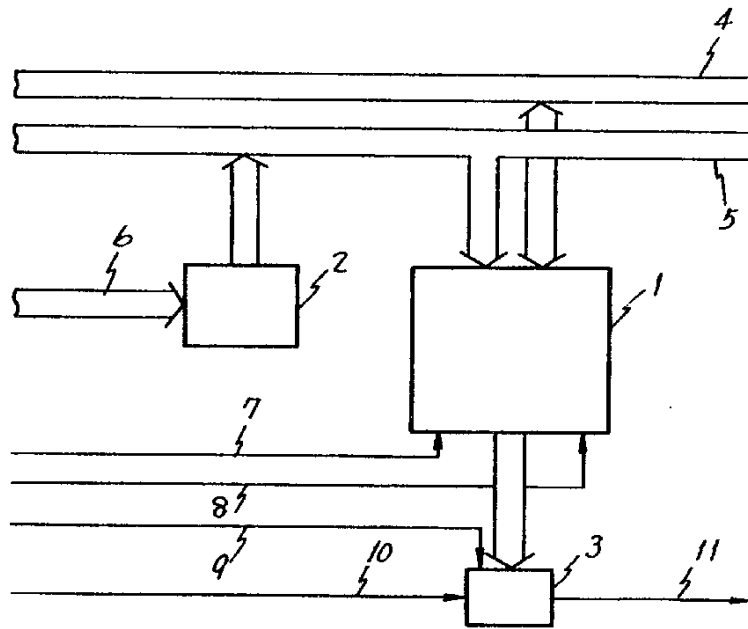
メモリ52に奇数アドレスを与えることができるので、表示画面とメモリとを対応させることができ、その結果、上位アドレスをいろいろ変更しなくともメモリへの書き込み及び読み出しを行うことができるという効果が得られる。特に、書き込み時はメモリ51, 52の一方を確実に選択することができ、読み出し時は両方のメモリから同時に一水平走査線分のデータを読み出すことができ、簡単なアドレス操作でリード/ライトの双方を制御できるという効果がある。この方法でNの値をさらに大きくすれば1回のアドレス供給によって表示できる情報量が増し、より高速な表示が期待できる。

図面の簡単な説明

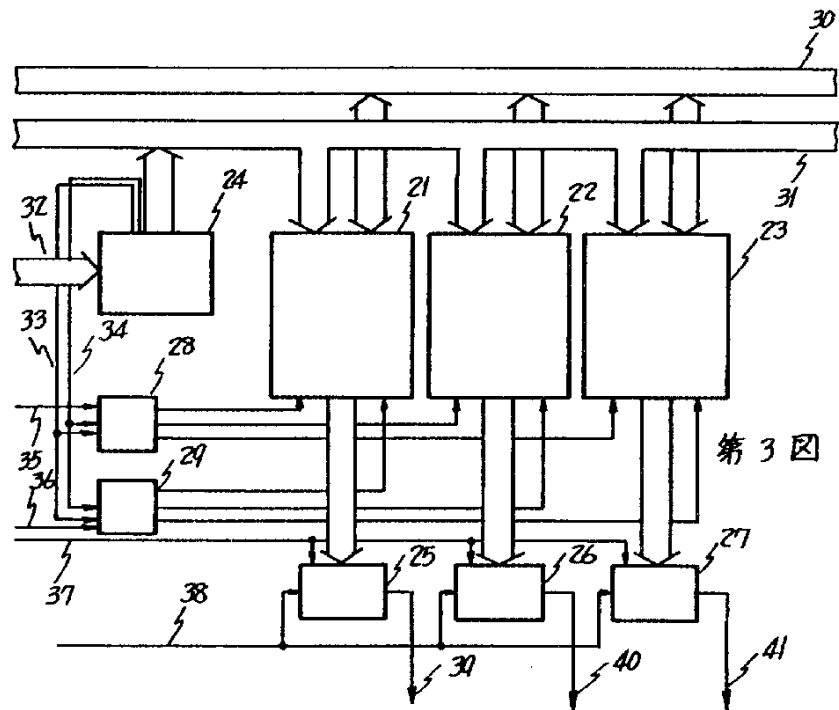
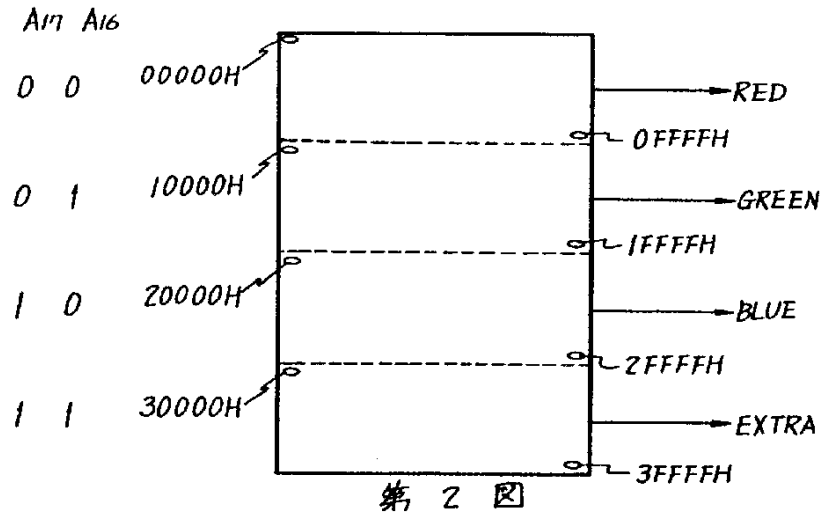
第1図は表示装置の従来例を示すブロック図、第2図はカラー表示における映像メモリのアドレス区分を示すメモリブロック図、第3図はカラー表示における表示装置のブロック図、第4図は本

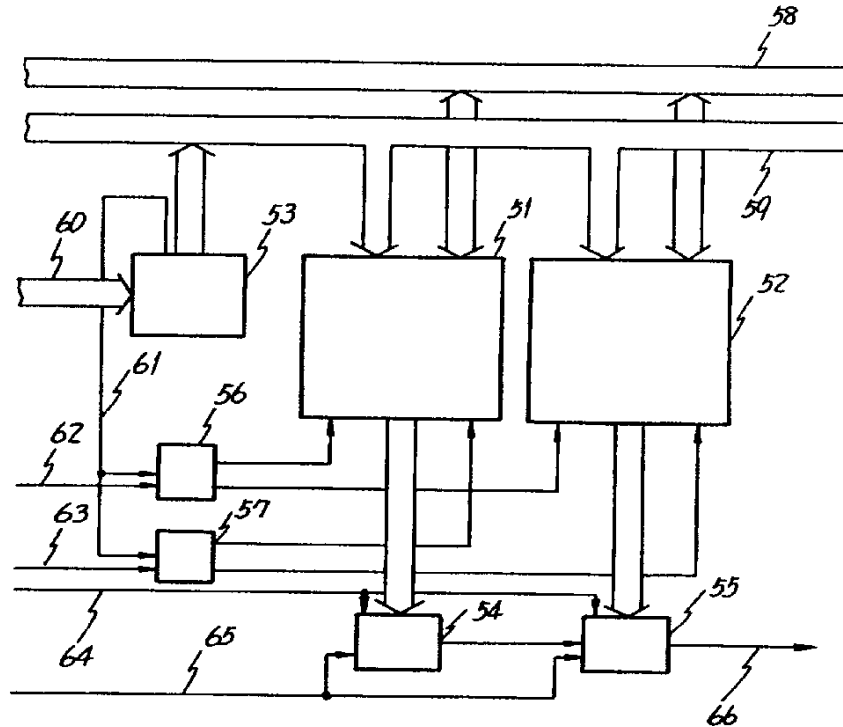
発明の一実施例における表示装置のブロック図、第5図は本発明の一実施例における表示タイミング図である。

- 1……メモリ、21, 51……第1メモリ、2
- 2, 52……第2メモリ、23……第3メモリ、
- 2, 24, 53……アドレス発生回路、3, 2
- 5, 26, 27, 54, 55……並列-直列変換
- シフト・レジスタ、28, 56……読み出し信号
- 制御回路、29, 57……書き込み信号制御回
- 路、4, 30, 58……データ・バス、5, 3
- 1, 59……アドレス・バス、6, 32, 60…
- …システム・データ・バス、7, 35, 62……
- 読み出し信号、8, 36, 63……書き込み信
- 号、33……最上位アドレス信号、34……第2
- 15 上位アドレス信号、61……最下位アドレス
- 信号、9, 37, 64……ロード・クロック、1
- 0, 38, 65……シフト・クロック、11, 3
- 9, 40, 41, 66……直列映像信号。

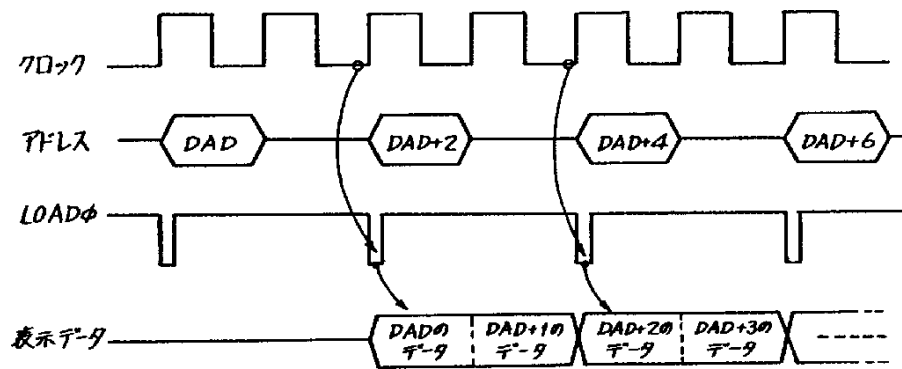


第 1 図





第 4 図



第 5 図