

⑫ 特許公報(B2)

平1-27469

⑬ Int. Cl.⁴

G 06 F 15/72

識別記号

3 5 5

庁内整理番号

U-6615-5B

⑭公告

平成1年(1989)5月29日

発明の数 1 (全8頁)

⑮発明の名称 描画アドレス演算方式

⑯特 願 昭58-82064

⑰公 開 昭59-206982

⑱出 願 昭58(1983)5月11日

⑲昭59(1984)11月22日

⑳発 明 者 小 口 哲 司 東京都港区芝五丁目33番1号 日本電気株式会社内
 ㉑出 願 人 日本電気株式会社 東京都港区芝五丁目33番1号
 ㉒代 理 人 弁理士 内 原 晋
 審 査 官 岡 部 恵 行

1

2

㉓特許請求の範囲

1 描画位置のXアドレスを示すデータを格納する第1レジスタと、描画位置のYアドレスを示すデータを格納する第2レジスタと、前記第1レジスタの内容を1つずつ増加させる第1の手段と、
 5 前記第1レジスタの内容を1つずつ減少させる第2の手段と、前記第2レジスタの内容を1つずつ増加又は減少させる第3の手段と、前記第1および第2レジスタに描画開始点のXおよびYアドレスを示すデータをそれぞれ転送する手段とを備え、
 10 前記第1の手段による前記第1レジスタの内容の増加と前記第2の手段による前記第1レジスタの内容の減少との切換えを前記第3の手段による前記第2レジスタの内容の変化毎に行なうことを特徴とする描画アドレス演算方式。

発明の詳細な説明

本発明はラスタ走査型CRTを用いた文字、図形(パターン)表示装置のパターン情報を記憶する映像記憶器の内容の1ビットもしくは複数のビットで表示パターンの1ドットを構成している
 20 グラフィック装置において、描画すべき位置のアドレスを演算して求める描画アドレス演算方式に関する。

コンピュータ端末装置としてラスタ走査型CRTを用いたグラフィック表示/描画装置は、
 25 必要とする大容量映像情報記憶器が高度に集積回路化されるに伴って、その価格が低下し、急激に普及しつつある。グラフィック表示/描画装置に内蔵されている映像情報記憶器に映像情報を入

力するには、大別して次の2種の技術がある。

第1は、データ・ベースに基づいて、直線、円、グラフィック文字等を描画する機能を持った描画装置によって映像情報を創造するものであり、
 5 第2は、テレビ・カメラ等の画像をスキヤナーによって得られるアナログ信号をデジタル化して情報を蓄わえるものである。

文字描画を行う装置としては、二点間を直線で結ぶことによつて文字を形成するようにした一般にストローク法と呼ばれる方法を採用したものと、文字のドット構成情報を参照しつつ、ドット単位の描画を行う方法を採用したものととの2種があり、従来より実施されている。

ストローク法は、従来よりダイレクト走査型
 15 CRTを使用したグラフィック装置において既に用いられていた方法であり、ラスタ走査型CRTを使用したグラフィック装置においても使用される場合がある。この場合には、二点間を結ぶ実線による直線描画の繰返しによつて文字を構成するものである。第1図は、ストローク法による文字描画例であり、図示されている文字“A”を描画する為には合計6回の実線による直線描画を実行しなければならない。このストローク法では描画を線単位で行うため、文字を形成するドット構成に細かいアクセントをつけようとする線描画の回数が増大し処理が大変である。しかも漢字のように文字外形が大きい場合であつても線の幅を変更することが困難であるため、良好な文字表示品質を得ることができない。さらに、文字を座標変化

3

テーブルという特殊な形態で表現せねばならないため設計が煩雑であるなどの欠点を有している。

このようなストローク方式における欠点を除去する為、線単位描画ではなくドット単位描画を行い文字を形成する装置も既に考えられている。ストローク方式と異なる点は、1ブロックの描画を実行する毎に、文字ドット構成パターンを参照しつつ、その内容に従がって描画を行うことにある。この装置ではストローク方式のような2点間の実線補間は不要である。

第2図は8×8ドットで構成される文字“A”をドット単位描画法を用いた従来例によつて描画したときの描画結果、および描画順序の軌跡を矢印で表記した図である。(I、J)=(1、1)の描画開始点から点(1、8)までの1ブロックの描画は、文字ドット構成パターンのデータ(この場合は“00000000”)を逐一参照しながらドット単位に8回描画することによつて得られる。この1ブロックの描画が終了した後、次に描画すべき文字ドット構成パターンをレジスタに再設定(“10000010”)し、点(2、1)から点(2、8)までの次のブロックの描画を行う。この過程を繰返し、点(8、8)に描画が成された後、8ブロックの全描画が終了し、文字パターン“A”が表示される。

第5図は描画される映像メモリのワード・アドレスと描画実施例における描画データとの関係を示した図である。通常の文字表示装置ではワードアドレス単位で映像メモリ・データの変更が行われるが、ドット単位での描画を実行できる描画装置では、第5図に示すように描画開始点がワードアドレス内の任意のビット位置で良い。そのため複数のアドレスにまたがる描画も可能である。第6図は、第5図に示した描画を行うときのドット単位描画の順序を示す図であつて、第1ブロックの描画は①から始まり⑧で終了し、第2ブロックの描画は第1ブロック描画の開始点①の直上の点⑨から描画を開始し、⑩で終了することを表現している。即ち、描画方向は常に同じ方向(左から右)であつた。

このため、第3図に従来例における特に描画座標演算、すなわち描画アドレス演算の流れ図を示すように、描画開始点の横(X)座標データxをレジスタX、X'に、縦(Y)座標データyをレ

4

ジスタY、Y'にそれぞれ格納し、レジスタXの内容を1つずつ増加させながら1ブロック分の各描画位置のXアドレスを演算し、文字データを参照して描画を行ない、そして1ブロック分の描画が終了するとレジスタY、Y'を1つインクリメントすると共にレジスタX'の内容をレジスタXに転送して次のブロックの描画アドレスを演算している。

かくして、従来技術によるXおよびY座標アドレス演算部のハードウェアは第10図に示すとおりとなり、X、X'、YおよびY'レジスタ1、2、3および4を必要とする。CPU5は描画開始点のアドレスデータx、yをレジスタ1乃至4にそれぞれ転送する。1ブロック分の描画アドレスはXレジスタ1の内容を1つずつ増加するインクリメント6によつて求められ、1ブロック分の描画アドレスが求まれば、Yレジスタ3の内容がインクリメント7によつて1つ増加されると共に、X'レジスタ2の内容がXレジスタ1に転送される。

以上のようにして、描画すべき領域の各描画位置のXおよびYアドレスが算出される。そして、算出されたX、Yアドレスに基づき文字データが第8図に示す手順に従つて描画される。第8図において、aは描画すべき文字データの1ブロック分の情報を格納するパターンレジスタの内容と描画が実行される映像メモリの描画アドレスとの関係を第5図に示した例に適用して示しており、同図bは描画手順に従つて変化する各レジスタの内容を示している。まず、CPU5(第10図)は描画開始点の座標x、yをX、X'、Y、Y'レジスタ1乃至4にそれぞれ転送する。説明の便宜上、第8図aでは描画開始点をワードアドレスとドットアドレスとして示しており、ドットアドレスはX(X')レジスタ1(2)の内容の一部で示され、ワードアドレスはX(X')レジスタ1(2)の内容の残りの部分とY(Y')レジスタ3(4)の内容とで示される。次に、CPU5は文字データの1ブロック分の情報をパターンレジスタ(第10図には示していない)に転送する。第5図の例では、パターンレジスタの内容は第8図aに示すように“10111110”である。ここで、パターンレジスタの内容の最下位ビットはドットアドレスの情報と一致していない。そこで、第8図b

5

に、“第1ドット”として示すように、パターンレジスタの内容はドットアドレスの情報に従ってレジスタ内で回転され、描画すべきパターンデータの最下位ビットの位置合わせが行なわれる。そして、ワードアドレスとドット・アドレスとによつてアドレス付けされた映像メモリに対して、ドット・アドレスが指し示したパターン・レジスタ内のデータがドットデータとして選択され書込まれる。第1ドットの描画の後、ドット・アドレスはインクリメント6でインクリメントされ、映像メモリのアドレス位置が変更される。これによつて、パターン・レジスタの指示位置が変化され新しい描画データが選択される。8ドット（1ブロック）の描画が終了するとYレジスタ3に格納されていた第1ブロックの描画開始時のY座標値がインクリメントされ、次の第2ブロックの最初のY座標値を示すデータがY'レジスタ4に転送される。X'レジスタ2に格納されていた第1ブロックの描画開始時のX座標値はレジスタXにそのまま転送される。その後、第2ブロックに対応する新しい文字構成ドット・パターンがパターン・レジスタに転送され、前述と同様に位置合わせが行なわれる。以下、上記した動作を繰り返す。

以上のとおり、従来ドット単位描画装置は描画アドレス演算を実行しているわけであるが、ブロックの切替でアドレスが変化するという描画アドレスに不連続部を含んでおり、このため、映像メモリのアドレス・レジスタを2系統（すなわちXとX'、YとY'）を持つ必要があり、ハードウェアサイズが大きくなる。しかも、各レジスタアクセスのための処理も必要であり処理速度が比較的遅い。

本発明の目的は、ハードウェアサイズを小さくしかつ処理速度を高めた描画アドレス演算方式を提供することにある。

本発明による方式は、描画位置のXアドレスを示すデータを格納する第1レジスタと、描画位置のYアドレスを示すデータを格納する第2レジスタと、第1レジスタの内容を1つずつ増加させる第1手段と、第1レジスタの内容を1つずつ減少させる第2手段と、第2レジスタの内容を1つずつ増加もしくは減少させる第3手段と、第1および第2レジスタに描画開始点のXおよびYアドレスを示すデータをそれぞれ転送する手段を備え、

6

第1手段によるXアドレスの増加と第2手段によるXアドレスの減少との切替を第3手段によるYアドレスの変化毎に行なうことを特徴とする。

以下、本発明の一実施例について図面を参照して説明する。

第4図aは本発明の一実施例の方式による描画アドレス演算の流れ図である。まず、描画開始点の横方向アドレスデータxおよび縦方向アドレスデータyがXおよびYアドレスにそれぞれ転送される。文字データ参照により1ブロック分の文字データ情報がパターンレジスタに転送され、本実施例はまずXアドレスの内容を1つずつ増加しながら描画位置アドレスを算出し各描画位置に描画を行なう。1ブロック分の描画が終了すると、Yレジスタの内容が1つ増加され、次のブロックの文字データ情報の1ドットデータがXレジスタの内容を変化することなく、そのときの内容とYレジスタの内容とを描画位置アドレスとして描画を実行する。そして、Xアドレスの内容を今度は1つずつ減少して描画位置アドレスを算出する。以後、Yレジスタの内容が変化するたびに、Xアドレスの内容の変化方向を切替えて各描画アドレスを算出する。したがつて、従来例では必要であつたX'レジスタおよびY'レジスタが不要となり、かつブロックが切替るごとのアドレス転送が不要となる。

かくして、本方式によるハードウェアは、第4図bに示すように、座標アドレス指定用としてXレジスタ8とYレジスタ9の2個のレジスタでよい。ただし、Xレジスタ8の内容に対して+1演算を行なうインクリメント11と-1演算を行なうデクリメント12が設けられ、ブロック切替、すなわちインクリメント13によつてYレジスタ9の内容が1つ変化する毎に上記二つの演算が切り換わる。X、Yレジスタ8、9への描画開始点アドレスデータはCPU10からセットされる。さらに詳細に説明すると、第1ブロックの描画開始位置座標を示すアドレスデータx、yはCPU10からXレジスタ8およびYレジスタ9に夫々転送される。次に、文字ドット構成情報を参照し、ドット描画を行う。ドット描画終了後、Xレジスタ8の内容を例えばインクリメントする。1ブロック描画終了後、次のブロックの描画を行うときには、Yレジスタ9の内容をインクリメント

し、Xレジスタ8の内容を今度はデクリメントする。したがって、ブロック切換時のレジスタの操作としてはYレジスタ9の内容を変更するだけでよい。

第7図は、第5図に示した描画例において、そのドット描画の順序を示す図である。第1ブロックの先頭ドット①からインクリメント11による演算で順々にXアドレスが算出され、最終ドット⑧のアドレス演算終了後、 $Y+1 \rightarrow Y$ の演算のみがインクリメント13で行なわれる。このとき、Xアドレスは変更されない。したがって、ドット位置⑧の直上のドット⑨のアドレスが求まり第2ブロックの描画アドレス演算が開始する。ドット⑨のx座標は変化しないはずであり、これを上手に利用したのが本方式である。以後、最終ドット位置⑩までは、各ドットの描画アドレス演算終了毎にデクリメント12で $X-1 \rightarrow X$ が実行される。第3ブロックの描画が定義されている場合には、位置⑩に対する描画アドレス演算が実行された後、 $Y+1 \rightarrow Y$ の演算が実行され、以後、1ドット描画アドレス演算毎に $X+1 \rightarrow X$ がインクリメント11によつて実行される。即ち、1ブロックの描画を周期として $X+1 \rightarrow X$ と $X-1 \rightarrow X$ の演算の選択が成される。このように、本実施例方式では、一筆書きによる連続的なアドレス演算となる。

次に、本方式によつて算出された描画アドレスを用いて映像メモリに実際に描画するための動作例を第9図を用いて説明する。まず、CPU10は描画開始点のx、yアドレスをXおよびYレジスタ8、9にそれぞれ転送する。第8図aに関連して述べたように、Xレジスタ8の内容の一部およびYレジスタ9の内容によつてワードレジスタBが示され、Xレジスタ8の内容の残りの部分でドットアドレスが示される。次に、CPU10は描画すべき文字データの1ブロック分の情報をパターンレジスタ(第10図には示していない)に設定する。ここで、第8図に示した方式では、パターンレジスタの内容を回転させてその最下位ビットの位置をドットアドレスの指示に対応させていたが、第9図の描画方式では、ポインタレジスタ(第10図には示していない)を設け、第9図aに示すように、同レジスタに描画開始ビット(本例では最下位ビット)を指示するポインタデ

ータを設定する。そして、第9図bに“第1ドット”とに示すように、ポインタデータで指し示されるドットデータを読み出し、同ドットデータをドットアドレスで示される映像メモリのアドレスに描画する。Xレジスタ8の内容はしかる後にインクリメント11で1つ増加される。また、ポインタデータも撞様に1つ増加される。増加されたポインタデータによつて指し示されるドットデータが読み出され、同データがドットアドレスで示される映像メモリのアドレスに描画される。以後、第1ブロックの描画が終了するまで同じ処理が繰り返される。第1ブロックの描画が終了すると、第9図bに“第9ドット”として示されるように、Yレジスタ9の内容のみが1つ増加され、Xレジスタ8およびポインタレジスタの内容は変更されない。そして、パターンレジスタに文字データの第2ブロックの情報が設定され、描画が開始される。第9ドットの描画終了後、Xレジスタ8およびポインタレジスタの内容は共に1つ減少させられ、以降の描画が実行される。

以上のとおり、本発明はYアドレスの内容が変化する毎にXアドレスの内容の増加演算および減少演算を初換えているので、必要とされるハードウェアが少なくなり、かつアドレス演算処理スピードが向上される。

さらに、同一ブロック内のパターンを縦方向または横方向に拡大して描画を行う場合、1描画方向に対する描画終了毎に、前記従来例では、同一のパターンを再設定し、パターンの位置合わせ操作をせねばならない。従来例では、パターン・レジスタ内データの抽出の為にパターン・レジスタのシフト操作を繰返し、描画開始時の原型パターンが保存されていないためである。しかし本発明においては拡大描画時には、同一ブロック内の描画であれば、新パターンを再設定する必要も無いし、パターン内容の位置合わせ操作も全く不要である。同一ブロック内の描画が終了し、新ブロックの描画に移行するときに新パターンの設定をすれば良い。

なお、前記した本発明の実施例では、描画アドレス演算がメモリ・プレーン上の左から右、下から上へ実行される場合を取り上げたが、他の場合、例えば、右から左、上から下へ描画実行される場合などについても同様であることは言うまで

もない。

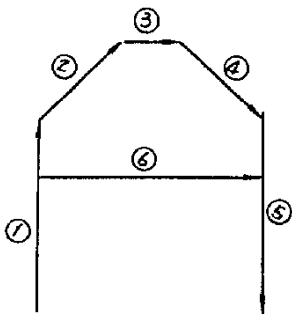
図面の簡単な説明

第1図、第2図は従来の描画方式の模式図、第3図は従来の方式の流れ図、第4図aは本発明の一実施例による描画アドレス演算方式の流れ図、同図bはそのアドレスレジスタ部のハードウェアブロック図、第5図はワード・アドレスレジスタ内の構成を示すデータ図、第6図は従来のアドレス遷移図、第7図は本発明の一実施例によるアドレス遷移図、第8図aおよびbは夫々従来の方式

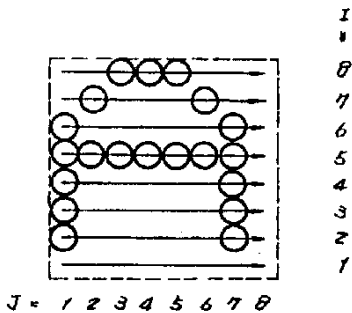
によるレジスタ内のデータ図と描画ドット指定のためのデータ遷移図、第9図a、bは夫々本発明の一実施例による方式で算出された描画アドレスに対するレジスタ内のデータ図と描画ドット指定のためのデータ遷移図、第10図は従来のアドレスレジスタ部のハードウェアブロック図である。

1, 8...Xレジスタ、3, 9...Yレジスタ、2...X'レジスタ、4...Y'レジスタ、6, 7, 11, 13...インクリメンタ、12...デクリメンタ、10 5, 10...CPU。

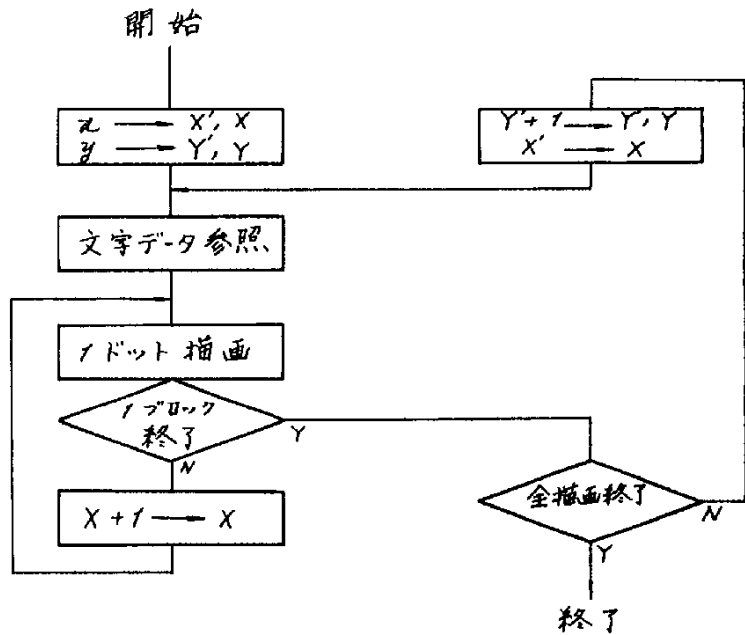
第1図



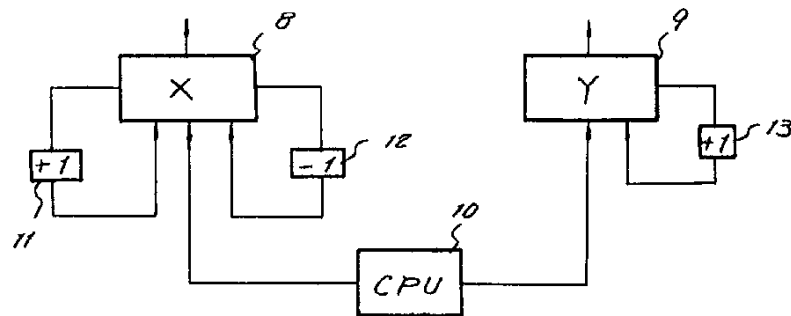
第2図



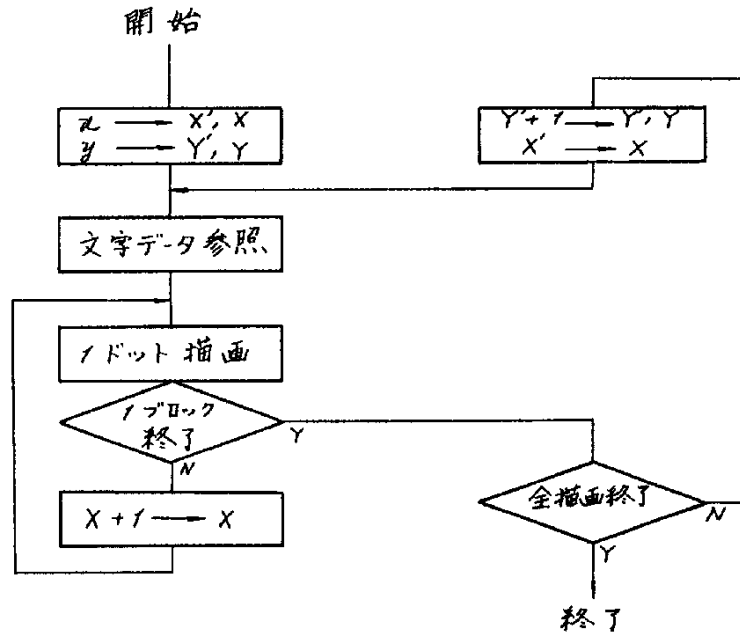
第3図



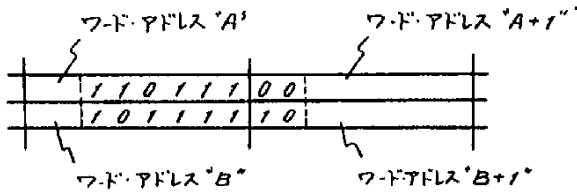
第4図 b



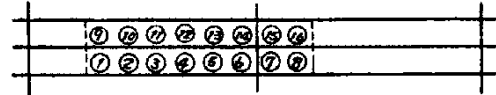
第4図 a



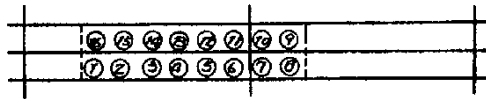
第5図



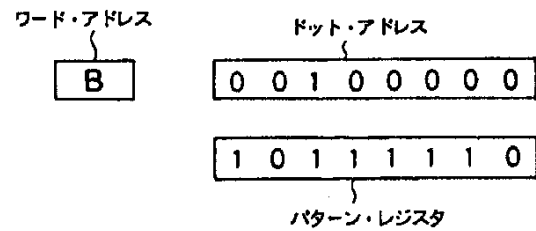
第6図



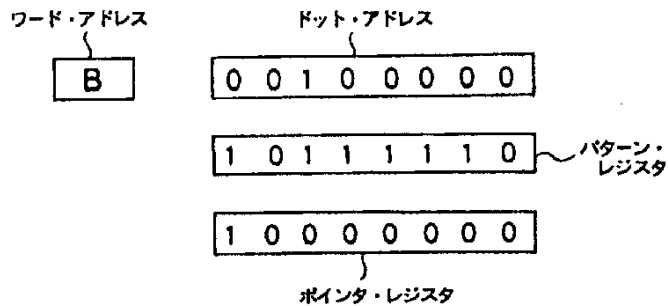
第7図



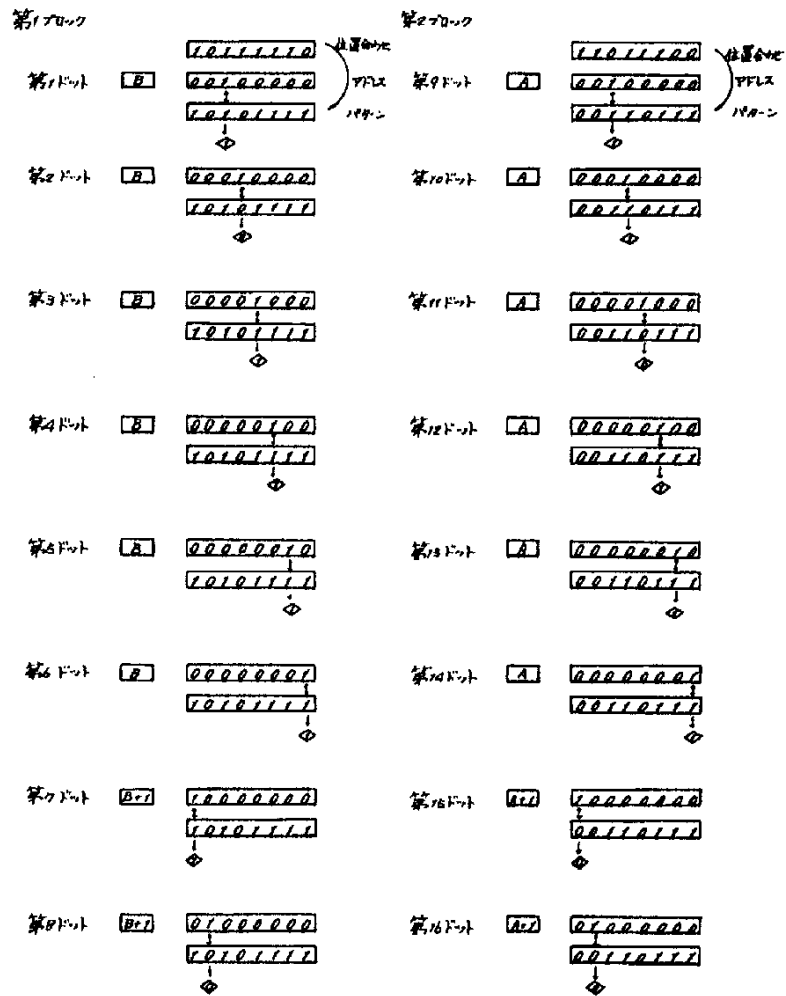
第8図 a



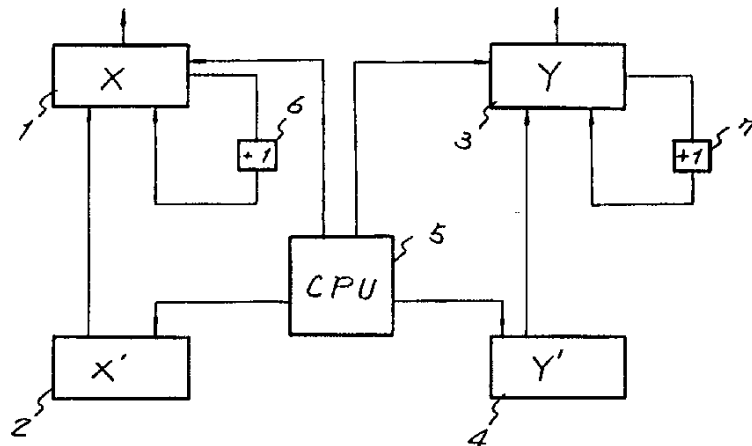
第9図 a



第 8 図 b



第 10 図



第9図 b

