

⑫ 特許公報 (B 2) 昭61-56516

⑥ Int. Cl. 4	識別記号	庁内整理番号	⑭ 公告	昭和61年(1986)12月2日
G 09 G	1/14	8121-5C		
	1/02	7923-5C		
	1/16			
	1/28	B-8121-5C		発明の数 1 (全12頁)

⑬ 発明の名称 映像発生装置

⑰ 特 願 昭53-96082

⑮ 公 開 昭55-23558

⑱ 出 願 昭53(1978)8月9日

⑲ 昭55(1980)2月20日

⑲ 発 明 者 小 口 哲 司 東京都港区芝五丁目33番1号 日本電気株式会社内  
 ⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号  
 ㉑ 代 理 人 弁理士 芦田 担 外2名  
 審 査 官 山 崎 達 也

1

2

⑳ 特許請求の範囲

1 文字、図形の入出力及び位置の移動等を制御する順序を予め記憶する順序記憶制御手段と、該順序記憶制御手段から与えられる文字・図形及び種類を記憶するデータ記憶手段と、該データ記憶手段の内容によつて直接アドレスされ、該アドレス位置から必要な文字図形を発生する文字図形変換手段と、前記データ記憶手段のアドレスデータを記憶し、前記データ記憶手段に対し、前記アドレスデータにより読み出すべきアドレスを指示する書き換え可能なアドレス記憶手段とを有することを特徴とする映像記憶装置。

発明の詳細な説明

本発明はテレビジョン等の表示端末に、文字、図形等のパターンを表示させるための映像発生装置に関する。

一般に、この種の映像発生装置には、表示端末内部で発生されたラスタを順次変調する形式のものがある。従来、この形式の映像発生装置として、表示すべき文字、図形の位置を移動させ得る装置が提案されている(特開昭52-76832号公報参照)。この映像発生装置はランダムアクセスメモリ(RAM)によつて構成される画像記憶装置、リードオンリメモリによつて構成されたキャラクタジェネレータ等のほかに、文字図形の位置及びその種類を記憶する制御記憶装置を備えている。この構成では、比較的大容量の制御記憶装置を必要とするため、映像発生装置の大型化は避け

られない。したがつて、小容量のメモリを用いて、同様の機能を満足できれば、極めて好ましいと考えられる。

一方、従来の映像発生装置には、画面に点や線を描くグラフィック表示に適したものと、画面に文字を描くキャラクタ表示に適したものとがある。このうち、グラフィック表示では特に、線の交差あるいは移動図形が他の図形と交差することが多い。これらの場合、一方の図形が消去され、他方の図形のみが表示されるため、外観上不合理な図形が表示される。また、キャラクタ表示の際にも、異なる色の文字を重ねて表示できる方が好ましいことも多い。

更に、映像発生装置に一覧表を描かせる場合、各列又は欄の区切りを示すために、一連のアンダラインあるいはバーチカルラインを表示する必要がある。また、各区切り毎に配色の異なつた文字背景を必要とすることもある。これらの要求を満たすためには、記憶容量を増加させなければならない。したがつて、装置価格の高騰は免れない。

本発明の目的は映像発生装置を構成する各種メモリのうち、画像記憶装置の容量を削減することができ、且つ、文字図形の移動等も可能な映像発生装置を提供することである。

本発明の他の目的は異種の図形が交差重畳した場合、要求に応じて、優先表示、選択表示、あるいは、混合表示等を任意に行なうことができる映像発生装置を提供することである。

3

本発明のより他の目的は基本パターンを連続して繰り返すことにより一連のアンダライン等を表示させ、必要な記憶容量の増大を最小限に留めることができる経済的な映像発生装置を提供することである。

本発明によれば、文字・図形の入出力や位置の移動等を制御する順序をあらかじめ記憶する順序制御記憶器と、文字・図形の位置及び種類を記憶するデータ記憶器と、データ記憶器の内容によつてアドレスされ任意な文字・図形を発生する文字・図形変換器と、予め定められた画面あるいはライン分の画像データを記憶する画像記憶器とを具備し、画像記憶器にデータ記憶器のアドレス・データを記憶させる手段を用い、これによつて、画像記憶器の記憶容量を大幅に縮小しうる映像発生装置が得られる。

本発明の一実施例では2種以上の文字・図形発生装置よりの輝度変調出力信号を単に混合する手段によらず、1個の文字・図形発生装置内のみの処理によつて、同一画面座標上に異種の文字・図形を表示することを可能とした映像発生装置が得られる。この場合、異種の映像ドット出力が同一座標に展開される時、制御信号の有無により、異種映像ドット信号を混合したり、一方の映像ドット信号を優先的に出力させることも可能である。

更に、本発明の他の実施例では $m \times n$ 個の座標原点によつて構成される1画面分の容量を持つた画像記憶器を使用することなく、通常1文字・図形を発生させるに必要な記憶容量を消費するだけで、基本文字・図形のX方向又はY方向又はXY両方向への任意座標より任意の個数分の展開を行える映像発生装置が得られる。

以下、図面を参照して説明する。

第1図を参照すると、テレビジョン等の表示端末と結合して使用される従来の映像発生装置が示されている。この映像発生装置は表示端末の内部で発生された一方向に移動するラスターの輝度を変調するために、輝度変調信号を直列に供給し、表示端末の画面上に、光の点(ドット)の集合として映像を表示させる機能を備えている。この例では、文字・図形等の入出力を制御する順序を記憶する順序制御記憶装置21及び画像をあらわすデータを書き換え可能に保持する画像記憶装置2

4

2とが設けられている。画像記憶装置22は順序制御記憶装置21からアドレス切換器23を介して与えられる位置に、順序制御記憶装置21からのデータを記憶する。映像の表示画面を $m \times n$ に区分したとき、画像記憶装置22は $m \times n$ ビットの容量を備えている。この映像発生装置は水平カウンタ及び垂直カウンタを含むカウンタ部24を有している。表示サイクル中、アドレス切換器23はこのカウンタ部24のカウント出力を選択し、画像記憶装置22に供給する。したがつて、表示サイクル中、カウンタ部24が画像記憶装置22に直結され、ダイレクト・メモリ・アクセスされる。これによつて、画像記憶装置22の内容は1ビットずつ読み出され、順次、直列輝度変調信号として表示端末に送出される。この映像発生装置は簡単な構成を有し、ドット毎に、不確定に変化する映像を表示するグラフィック表示に適している。しかし、この装置をドット構成を予め定めることができるキャラクタ表示に適用した場合、画像記憶装置22内において複雑な処理プログラムを用いてドット構成処理が行なわなければならないため、処理速度が遅くなるという欠点がある。

第2図を参照すると、キャラクタ表示に適した従来の映像発生装置が示されている。この映像発生装置は第1図で示した各装置のほか、読み出し専用メモリ(ROM)によつて構成された文字図形変換器25を有している。この場合、画像記憶装置22は画面上を表示単位領域に区分したときにおける表示単位領域の数に等しいアドレスを有し、各単位領域内に描かれる文字図形の数に応じたビット数を備えている。したがつて、この画像記憶装置22には各表示単位領域に表示すべき映像をあらわすデータが順序制御記憶装置21から予め記憶されている。この状態で、カウンタ部24からアドレス切換器23を介して順次アドレス指定されると、画像記憶装置22は格納されているデータを文字図形変換器25に供給する。文字図形変換器25はこのデータによつてあらわされた文字図形をドット出力の形で指定された表示単位領域に表示する。上述したように、画像記憶装置22の各アドレスにおける容量は表示すべき文字・図形の数によつて定まる。例えば、256種類の文字図形を $7 \times 9$ のドットで各表示単位領域

5

6

に表示する映像発生装置では、8ビットの容量を有する画像記憶装置22を用いればよい。したがって、この装置は第1図に比べて小容量の画像記憶装置を使用することができる。

第3図を参照すると、従来提案されているもう一つの映像発生装置が示されている。この映像発生装置は文字・図形の位置及びその種類を記憶する位置及び種類記憶装置28を順序制御記憶装置21と画像記憶装置22との間に備えている。したがって、この映像発生装置では、位置及び種類記憶装置28を用いることによつて、文字・図形を容易に移動させることができる。この構成においては、各文字図形を8ビットのデータで指定できるとすると、白黒のみの映像出力を得るために、画像記憶装置22は最小8ビット×文字数の容量を必要とする。更に、近年盛んに行なわれているカラー情報等の制御の際には、8ビットを越える更に大きな容量を消費することになる。

第4図を参照すると、本発明の映像発生装置は位置及び種類記憶装置28のアドレスデータの一部を画像記憶装置22に記憶している。この場合、位置及び種類記憶装置28は一画面に表示すべき文字・図形に関するデータを記憶しており、そのアドレスは画面上に表示すべき文字・図形の個数に等しい。したがって、画像記憶装置22の容量はカラー情報等の制御情報の有無に関係なく、常に、記憶装置28の記憶文字数に相当するアドレスビット数×文字数となる。ここで、1ラインに3ビットのカラー情報を含む64文字、図形を表示でき、且つ、1画面に最大256文字、図形を表示する場合について、画像記憶装置22の容量を第3図と比較してみる。第3図の画像記憶装置22では、1画面分の文字図形を記憶するものとする、 $(8+3) \times 256 = 2816$ ビットの容量が必要である。他方、本発明では256文字、図形は8ビットのアドレスで表現でき、且つ、連続表示を行なうために2ライン分の文字、図形(64×2)個のアドレス数を持てばよいから、制御情報には関係なく、 $8 \times 128 = 1024$ ビットの容量を備えた画像記憶装置を使用すればよい。

また、本発明において、画像記憶装置22に記憶されるアドレスデータは表示画面上のアドレスとは直接には無関係である。したがって、表示画面上の同一アドレス位置に、異なる文字・図形を

重畳表示することも可能になる。更に、画面上のアドレス区分には関係なく、連続した映像を表示させることができる。

第5図を参照すると、本発明の一実施例に係る映像発生装置の具体例が示されている。文字図形位置及び種類記憶装置28は順序制御記憶装置CM(ここでは、アドレスレジスタARのみが示されている)の制御によつて、文字図形位置及び種類を記憶するRAM等の記憶素子を用いたメモリMと、Mの内容を格納するバッファレジスタBUFとを備えている。このうち、BUFは各文字図形のX座標(6ビット)及びY座標(6ビット)をそれぞれ格納するBUF<sub>X</sub>及びY、文字図形の種類を表現するデータを保持する8ビットのBUF<sub>C</sub>、赤、緑、及び青色に対応する各1ビットのカラー情報を蓄積するBUF<sub>RGB</sub>、及び、文字・図形の縦(Y軸)のドット列を指定する3ビットのデータを格納するΔYとを有している。Mの内容は順序制御記憶装置CMから制御信号によつて一時的にBUFに格納される。画像記憶装置22は1ライン分の記憶容量を有するデータ・スタック・レジスタSM<sub>1</sub>、SM<sub>2</sub>及びそれぞれアドレスビット数に相当するゲートを含むゲート群G<sub>1</sub>~G<sub>6</sub>とによつて構成されている。SM<sub>1</sub>及びSM<sub>2</sub>では、最初に書き込まれたデータを最初に読み出し、且つ、1ラインの文字・図形の出力が終了すると、レジスタデータを全てクリアする。カウンタ部24は垂直カウンタVCと水平カウンタHCとを有している。垂直カウンタVCは1ライン毎に出力信号のレベルを反転させる。垂直カウンタVCの出力信号が高レベルであれば、順序制御記憶装置CMからの命令によつて、Mに格納されているY座標及びX座標がサーチチェックされ、次の表示ラインに表示すべき文字図形のM内のアドレスデータがAR、ゲート群G<sub>1</sub>及びゲート群G<sub>6</sub>を通してSM<sub>1</sub>にスタックされる。即ち、VCの出力信号が高レベルのとき、SM<sub>1</sub>は次の表示ラインの表示データ(アドレスデータ)を格納する状態にある。一方、SM<sub>1</sub>と対をなすSM<sub>2</sub>はSM<sub>1</sub>がアドレスデータを格納している間、アドレスデータを送出する状態になる。SM<sub>2</sub>の内容はBUF<sub>X</sub>と水平カウンタHCとの一致がとれる度毎に、ゲート群G<sub>2</sub>を通してMのアドレスとして送出される。その結果、Mは次の座標に表示すべき文字、図形に関する

る各種データをBUFに転送する。VCの出力信号が低レベルのときには、SM<sub>1</sub>がアドレスデータをMに送出し、SM<sub>2</sub>がアドレスデータを記憶する状態になる。この動作を繰返すことによつて、画像記憶装置22は表示画像に関するアドレスデータ5の記憶及び送出を行なう。文字図形変換器25はROM等で構成されたキャラクタジェネレータCGを備えている。CGはBUF<sub>C</sub>とBUF<sub>ΔY</sub>の内容によつてアドレスされ、BUF<sub>C</sub>で指定された種類の表示文字図形の一部をあらわす例えば、8ビット10の信号を並列に出力する。この並列出力は並列-直列変換器PSRに供給される。PSRはこの例では赤、緑、青に対応した3本のシフトレジスタPSR<sub>7,8</sub>、及び<sub>9</sub>を備え、アンドゲートG<sub>7</sub>、G<sub>8</sub>、及びG<sub>9</sub>の出力によつて指定されるシフトレジスタ15に8ビットの並列出力を格納する。また、格納されたデータはシフトクロック(図示せず)にしたがつて順次シフトされ、直列輝度変調信号として送出される。例えば、CGから“10010000”の出力信号が与えられ、G<sub>7</sub>、G<sub>8</sub>、G<sub>9</sub>の出力がそれぞれ20“1”、“0”、及び“0”であれば、PSR<sub>7</sub>にのみCGからの出力信号が格納され、他のPSR<sub>8</sub>及び<sub>9</sub>には全て“0”が格納される。

第6-1図、第6-2図、及び第6-3図をも併せ参照して、第5図の動作を説明する。ここで25は、第6-1図に示すように、5×5ドットで構成される文字“H”が3文字並べられた映像を描くときの手順を述べる。この場合、第6-1図に示すように、HCはX方向に5ドットを計数する度毎にカウントアップされ、且つ、VCはY方向30に1ドット計数する毎にカウントアップされるものとする。また、全表示画面上には最大64の文字、図形を表示するものとする。この場合、文字図形位置及び種類記憶装置28のMには、6ビットのアドレス情報で指定される位置に、順序制御35記憶装置CMから第6-2図に示すようなデータが予め記憶されている。より詳細に述べると、文字図形の表示開始座標をあらわすデータY(6)、X(6)、表示文字図形の種類をあらわすデータC(8)、その色を指定するデータRGB、及び、Y方向の40ドット列を指定するデータΔYがMに記憶されている。映像を開始する時点では、M内の全アドレスにおけるΔYは“000”にクリアされており、1ラインのドットの表示が終了すると、CMから

の制御によつて+1される。これによつて、CGのアドレスは変更され、次の文字ライン上のドット表示のための準備を行なう。文字図形が画面上を移動した場合、Mは常にX座標値の小さいデータがアドレス下位の位置(アドレス番号の小さい位置)にセットされるように並び換えがCMの制御のもとに行なわれる。第6-2図では、C=08H(Hは16進法をあらわす)は文字“H”をあらわし、R、G、Bはそれぞれ赤、緑、青をあらわしているから、Mのアドレス“000000”のデータは座標原点(01, 01)から赤色文字“H”を表示することをあらわしている。同様に、Mアドレス01H及び02Hはそれぞれ座標(02, 02)及び(03, 01)から緑色及び青色の文字“H”を表示15することをあらわしている。

CMの制御によつて、アドレス00(以下、下2桁の数値でアドレスをあらわす)から順次Y+ΔYの結果とVCによつて指定されるラインの値との比較がゲート群G<sub>5</sub>、G<sub>6</sub>で行なわれる。比較の結果、アドレス00のデータがこのライン上の表示データであることが判明すると、SM<sub>1</sub>にこのアドレスをスタックする。第6-1図及び第6-2図の例では、VC=1によつて指定されるライン上には、アドレス00と10のデータが表示されるから、SM<sub>1</sub>には第6-3図に示すように、アドレス2000、10が格納される。次の表示ラインVC=2でも同様の動作が行なわれる。この場合、アドレス00、01、10のデータが表示されるから、これらのアドレスを第6-3図に示すように、SM<sub>2</sub>にスタックする。このSM<sub>2</sub>へのスタック動作と同時に、SM<sub>1</sub>の内容がMに送出される。SM<sub>1</sub>からMのアドレス00が与えられると、BUFには第6-2図のデータX(6)、C(8)、RGB、及びΔYに相当するデータが格納される。この状態でBUF<sub>X</sub>とHCの内容が比較器CMP<sub>1</sub>で比較される。両者の内容が一致した時点で、ゲートG<sub>7</sub>~G<sub>9</sub>を介して、CGからの並列出力をPSRにセットする。第6-1図では、HCが“1”になると、ゲートG<sub>9</sub>が開き、BUF<sub>C</sub>及びΔYで指定されたCGの内容“10001”がPSR<sub>9</sub>にセットされる。次に、SM<sub>1</sub>の2列目に格納されているMアドレス10(2)がMに与えられ、Mの内容はBUFに移送される。Mアドレス“2”10のXアドレスは“3”をあらわしているから、HCが“3”を指示した時点でゲートG<sub>8</sub>が

開き、PSR<sub>6</sub>に“10001”が記憶される。以下、同様の動作を繰返し、1ラインに関する表示が終了すると、SM<sub>2</sub>が読み出し状態となり、他方、SM<sub>1</sub>がデータの格納状態になる。尚、Mの各アドレスが保持されているデータΔYは当該アドレスが1回読み出される度毎に、CMの制御によつてカウントアップされる。SM<sub>2</sub>ではMのアドレスをSM<sub>1</sub>と同様に指定し、HCとBUF<sub>X</sub>の内容が一致した時点でPSRにCGからの並列出力を格納する。CGの並列出力のビット数はPSRのビット数以下であればよく、一致する必要はない。

このように、この実施例では2つのラインに関するアドレスデータを記憶する2つのSM<sub>1</sub>、SM<sub>2</sub>を用い、これらを交互に読み出す場合について述べたが、より多くのSMを用いてもよい。

第7-1図、第7-2図、及び第7-3図を参照すると、第5図に示されたCG、BUF<sub>X</sub>、HC、及びPSR間のインタフェースとして、減算器SUB及び論理回路SHIFTが設けられている。このインタフェースによつて、同一座標位置に異種の文字図形を重ねて発生させる等、種々の表示を行なうことができる。SUBには、HC及びBUF<sub>X</sub>の出力が与えられており、且つ、SHIFTには、CGから読み出されたデータの各ビットCG<sub>1</sub>~CG<sub>5</sub>が並列に供給されている。このうち、SUBはBUF<sub>X</sub>の内容からHCの内容を減算し、減算結果にしたがつて、ポロー信号B<sub>0</sub>及び最下位ビット信号S<sub>1</sub>を送出する。SHIFTからの出力信号はラインO1~O6を通してPSRに送出される。PSRはシフトクロック(図示せず)によつて右方向にデータをシフトするシフトレジスタF<sub>11</sub>~F<sub>16</sub>、F<sub>21</sub>~F<sub>26</sub>、及びF<sub>31</sub>~F<sub>36</sub>と、各シフトレジスタの段間に配置されたゲートG<sub>12</sub>~G<sub>16</sub>、G<sub>22</sub>~G<sub>26</sub>、及びG<sub>32</sub>~G<sub>36</sub>とを備えている。ゲートG<sub>12</sub>~G<sub>16</sub>はそれぞれ第7-2図の上部に示された構成を有し、他方、ゲートG<sub>22</sub>~G<sub>26</sub>及びG<sub>32</sub>~G<sub>36</sub>はそれぞれ第7-2図の下部に示された構成を有している。

第8-1図、第8-2図、及び第8-3図をも併せ参照して、第7-1図の動作を概略的に説明する。まず、第8-1図に示すように、5×5ビットの赤色文字“H”が座標(1, 1)を基準として描かれ、且つ、同一構成の緑色文字“H”が座標(1, 2)を基準として描かれる場合を考える。この場合、Mのアドレス00には第8-3図に

示すように、赤色文字“H”に関するデータが格納され、且つ、アドレス01には緑色文字“H”に関するデータが格納されている。一方、第8-2図の左側に示すように、SM<sub>1</sub>及びSM<sub>2</sub>にはMのアドレスを示すデータが第6-3図と同様な形式で記憶されている。尚、この実施例におけるHCは第8-1図に示すように、1ビット毎にカウントアップされる。

今、ラストがY座標=02Hの位置を走査する場合について説明する。第8-2図の第3列に示すように、SUBの出力はBUF<sub>X</sub>=01Hで、且つ、HC=02Hのとき3Fの(“11111”)となり、ポロー信号B<sub>0</sub>が出力される。このとき、SUBの最下位ビット信号S<sub>1</sub>は“1”であるので、PRIO=1であれば、SHIFTを介して、CGの出力信号CG<sub>1</sub>~CG<sub>5</sub>はゲートG<sub>12</sub>~G<sub>15</sub>のゲート条件が満足されて、F<sub>11</sub>~F<sub>15</sub>にそれぞれ書き込まれる。この操作によつて、座標(01, 02)の赤色文字の並直列変換が終了する。異種文字図形の同一座標展開がないときには、このルートが選択される。次に、シフトクロックが発生し、HC=03Hになると、書き込まれたデータが各F<sub>11</sub>~F<sub>15</sub>に出力される。PSRにデータが書き込まれると、Mからは次のアドレス01がCMの制御のもとに読み出される。この結果、緑色文字“H”のX座標がSUBに供給され、第8-2図の第4列に示すように、ポロー信号は引続き“1”を保持し、最下位ビット信号は“0”になる。SHIFTによつて、CGの出力信号CG<sub>1</sub>~CG<sub>5</sub>はゲートG<sub>12</sub>~G<sub>16</sub>に与えられる。G<sub>12</sub>~G<sub>16</sub>のゲート操作によつてF/F出力から供給される赤色文字“H”のデータを選択するか、緑色文字“H”のデータを選択するかを決定する。この操作によつて、同一座標上の異種文字、図形であつても、データを消去あるいは無視することなく有効なデータとして取り扱うことができる。

更に、第8-1図を参照すると、座標(01, 01)を基準とする赤色文字“H”と座標(01, 02)を基準とする緑色文字“H”とが表示される時、格子状に表記したドット位置においてドットの重なりが生じる。本発明では、ドットの重なりが生じた場合、色を混合したり、一方の色を優先的に表示させる等、変化に富んだ表示を行なうことが画像記憶装置22の容量を増加させることなく可能である。

第7-1図、第8-1図、及び第8-3図を参照して、第8-1図に示すように、文字、図形の重なりが生じたときにおける処理方法を説明する。まず、第8-3図のように、M内のデータに文字図形の重なりが生じたとき、当該文字図形が他の文字図形に優先して表示されることを示すフラグビットPRIOが付加される。また、第7-1図に示すように、ゲート $G_{22} \sim G_{26}$ 及びゲート $G_{32} \sim G_{36}$ が設けられている。尚、青色について優先表示等を行なう場合には、シフトレジスタ等をも

う一列設ける必要がある。第8-3図に示す $P_1$ 及び $P_2$ が各々“0”で、且つ、 $HC=02H$ になると、SHIFTが動作する。このため、 $CG_1=1$ 、 $CG_2=0$ 、 $CG_3=0$ 、 $CG_4=0$ 、及び $CG_5=1$ がそれぞれ $O_1$ 、 $O_2$ 、 $O_3$ 、 $O_4$ 、及び $O_5$ へ送出される。 $CG_1=1$ にのみ着目すると、 $PRIO=G=0$ 、及び $R=1$ であるため、 $F_{11}$ 、 $F_{21}$ は“0”に、 $F_{21}$ は“1”にそれぞれセットされる。次に、 $HC=03H$ のとき、 $CG_1=1$ が $O_2$ へ出力される。このとき、 $PRIO=R=PR_2=20$   
 $=F_{21}=0$ で、且つ、 $\overline{PRIO}=G=O_2=1$ であるから、 $F_{12}$ には“0”、 $F_{22}$ 、 $F_{32}$ には“1”が書き込まれる。したがって、 $P_1=P_2=0$ 、即ち、優先して表示する必要がないときには、座標(01, 02)のドットは赤色と緑色とを混合した黄色を発生する。更に、第7-3図に示すように、レジスタの内容が $P_1=0$ 、 $P_2=1$ のときは緑色が優先され、緑色ドットを発生し、他方、 $P_1=1$ のときは赤色が優先され、赤色ドットが表示される。

第9図を参照すると、同一パターン(文字、図形)をX及び/又はY方向に繰返し表示(リピート)するのに適したインタフェースが示されている。ここでは、M内に設けられるバッファとして、第5図に示されたBUFRGB、BUF $\Delta$ Y(図では一体化して示されている)、及びBUFCのほか、XRPT、YRPT、及びENDが付加されている。XRPT及びYRPTはX方向及びY方向にそれぞれリピートを行なうときに“1”にセットされるステータス・フラグを格納し、且つ、ENDはX方向の終了時点を示す3ビットのデータを格納する。言い換えれば、M内に記憶されるデータには、X及びY方向リピートを指示するステータス・フラグ及びX方向リピートの終了時点を示すデータが付加されている。

第9図及び第10-1図を参照して、X方向にリピートする場合にいて説明する。ここでは、第10-1図に示すように、 $C=80H$ の基本パターンがX方向に6回リピートされる場合について説明する。まず、XRPT及びENDにはそれぞれ“1”及び“101”がセットされる。今、X座標とHCの内容とが一致すると、 $CMP=1$ となる。通常の文字、図形発生処理と同様に、M内のBUFC及びBUF $\Delta$ YからCGのアドレス信号が発生され、且つ、BUFRGBより色選択信号が並直列変換器(PSR)に供給される。同時に、XRPT及びENDの内容はBUFを介して、インタフェース内のXRPT及びENDに与えられる。このとき、XRPT=1であるため、ゲート $G_{200}$ が開き、END内の3ビットデータはEND'に送出され、HCの4ビット目、5ビット目、及び6ビット目との比較が可能状態にセットされる。一方、ゲート $G_{200}$ からの信号によつて、XRPT'がセットされ、ゲート $G_{100}$ に高レベル信号が供給される。このため、HCが“1”になる毎に、即ち、8ビットを計数する毎に、1回、ゲート $G_{100}$ の出力は“1”となる。このことから明らかな通り、この実施例では、X方向の単位となるドット数を8個としている。ゲート $G_{100}$ の出力はCMP'でEND'の値とHCの計数結果とが一致するまで、8ビット毎に送出されることになる。

一方、CMPで一致が検出された時点でBUFC、BUF $\Delta$ Y、及びBUFRGRの内容はゲート群を通して、CG及びPSRにそれぞれ1回供給されると共に、BUFC'、BUFR'G'B'、BUF $\Delta$ Y'に与えられる。これによつて、各BUFにはリピート文字、図形に関する種類、色、位置が一時的に記憶される。この状態において、ゲート $G_{100}$ の出力が上述した条件によつて8ビット毎に“1”になる。BUFC'、 $\Delta$ Y'からアドレス信号及びBUFR'G'B'から色選択信号が通常の文字図形の一致信号より優先して、それぞれCG及びPSRに供給される。これによつて、同一種のX方向リピート文字、図形がCMP'が“1”となり、XRPT'がリセットされるまで、繰返し表示される。この実施例では、リピート文字、図形に関するデータをBUFC、 $\Delta$ Y、RGBから別のBUFに移送しているため、新しい文字、図形によつてBUFC、 $\Delta$ Y、RGBの内容を更新することができ

る。

第10-2図を参照すると、YRPTに“1”を格納した状態で、Y方向に5回レピートを行なう場合が示されている。この場合、1文字分の文字、図形の発生が終了する毎に、Mに格納されているY座標の値を1だけ加算し、次のY方向のレピート文字、図形の発生を可能な状態にする。Y座標の値とMに格納されているY方向レピート終了値とが一致したとき、Y座標の加算を停止し、Y方向のレピートを終了する。これらのことは第9図から容易に類推できることは明らかである。

第10-3図を参照すると、C=80Hであらわれる基本パターンをX方向に6回、Y方向に5回レピートした例が示されている。第10-3図に示すように、XRPT及びYRPTにそれぞれ“1”が保持され、ENDには“101”が保持されていることがわかる。このX、Y両方向へのレピート文字図形の発生手順は第10-1図、第10-2図を参照して説明した手順を複合すればよいことは容易に理解できる。

第10-1図～第10-3図では、YRPT、XRPT、END等のステイタス・フラグ類をMに付加した例を説明したが、CGのアドレスコードによつて、通常の文字図形との切換選択を行なえるようにすれば、これらフラグ類を付加しなくても同様な動作を期待できる。また、レピート文字、図形に要するMの容量は通常の文字、図形1個分の容量で済み、容易に連続した同一パターン文字、図形を発生できる。上述した実施例では第5図のインタフェースとして第9図の回路を設けて、レピートを行なう場合について述べたが、例えば、第3図のインタフェースとして第9図の回路を付加してもよい。

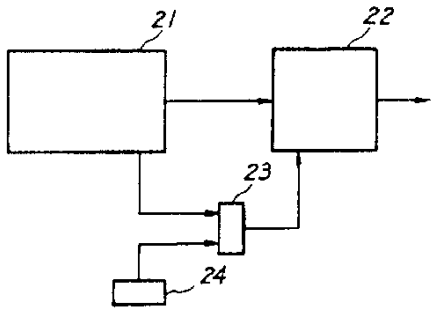
以上述べた通り、本発明によれば、画像記憶装

置に記憶されるデータとして、位置及び種類記憶装置におけるアドレスデータを記憶している。したがつて、従来のように、画像記憶装置のアドレスを表示画面のアドレスと直接対応させる必要がない。また、本発明では、表示文字、図形の個数に応じた容量を有する画像記憶装置を用意すればよく、制御情報等には無関係であるため、容量の削減を行なえる。

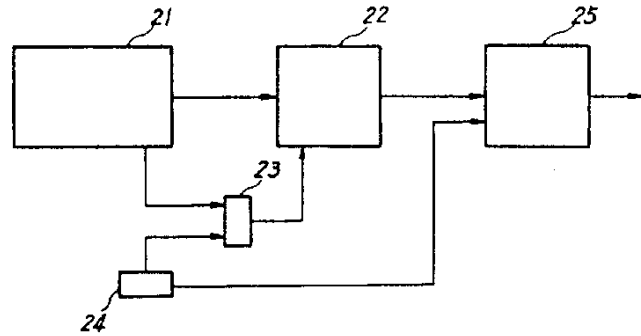
#### 図面の簡単な説明

第1図は従来のグラフィック表示用映像発生装置を示すブロック図、第2図は従来のキャラクタ表示用映像発生装置を示すブロック図、第3図は従来提案されている他の映像発生装置を示すブロック図、第4図は本発明の概略構成を説明するためのブロック図、第5図は本発明の一実施例に係る映像発生装置を示すブロック図、第6-1図、第6-2図、及び第6-3図は第5図の動作を説明するための図、第7-1図、第7-2図、及び第7-3図は本発明に係る映像発生装置に使用されるインタフェースを説明するための図、第8-1図、第8-2図、及び第8-3図は第7-1図の動作を説明するための図、第9図は本発明に係る映像発生装置に使用されるインタフェースを示す図、及び、第10-1図、第10-2図、及び第10-3図はインタフェースの動作を説明するための図である。

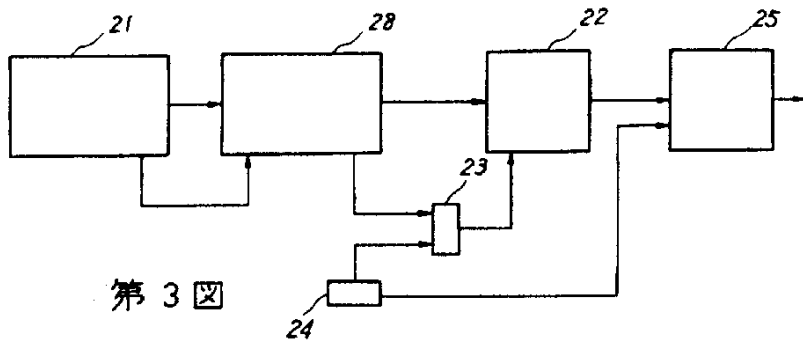
記号の説明、21：順序制御記憶装置、22：画像記憶装置、23：アドレス切換器、24：カウンタ部、25：文字、図形変換器、28：文字・図形位置及び種類記憶装置、SM<sub>1</sub>、SM<sub>2</sub>：スタックレジスタ、CG：キャラクタジェネレータ、BUF：バッファ、PSR：並直列変換器、HC：水平カウンタ、VC：垂直カウンタ。



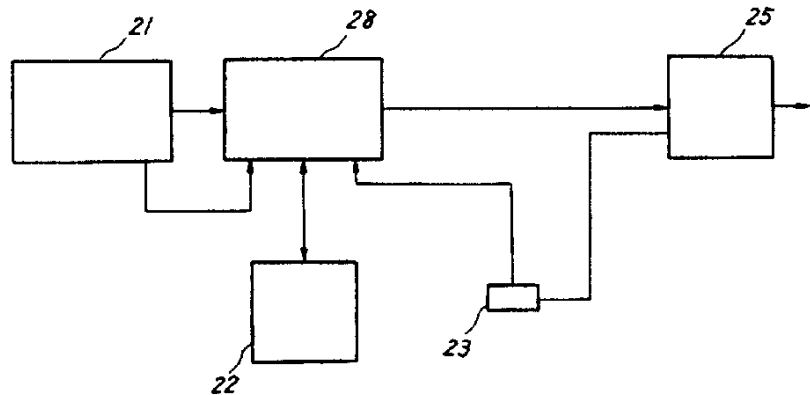
第 1 図



第 2 図

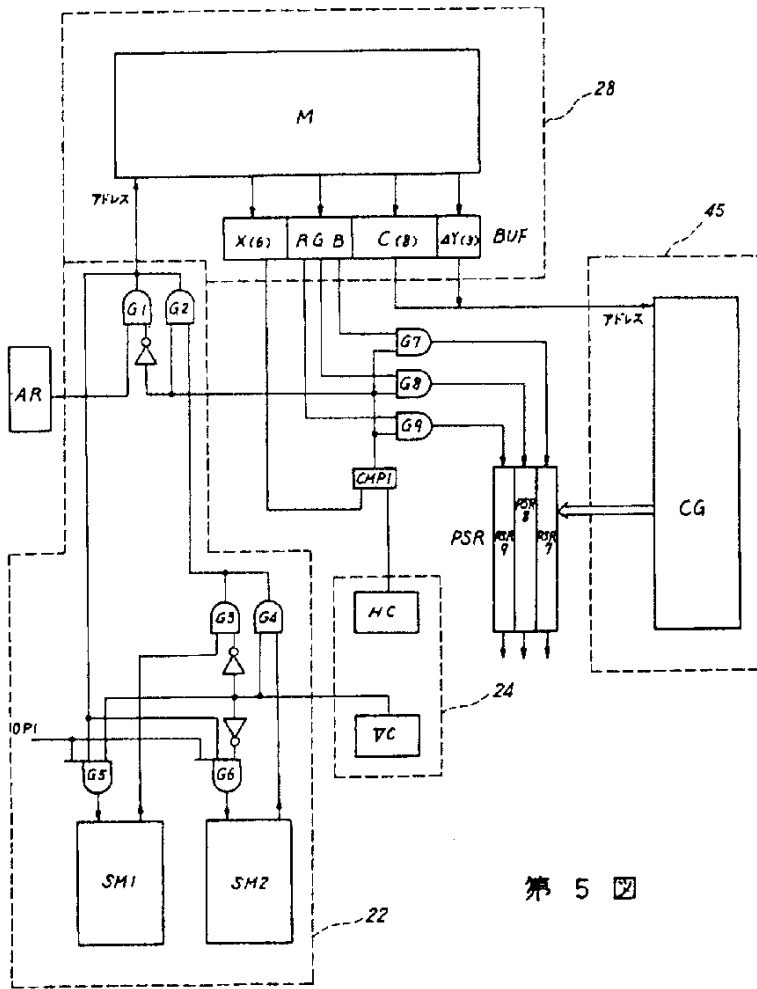


第 3 図

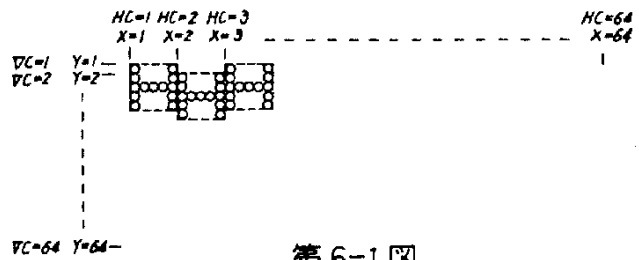


第 4 図

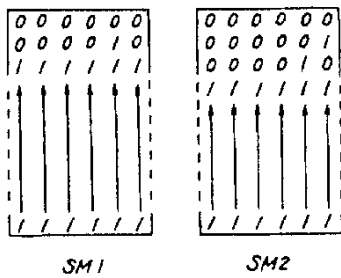




第 5 図



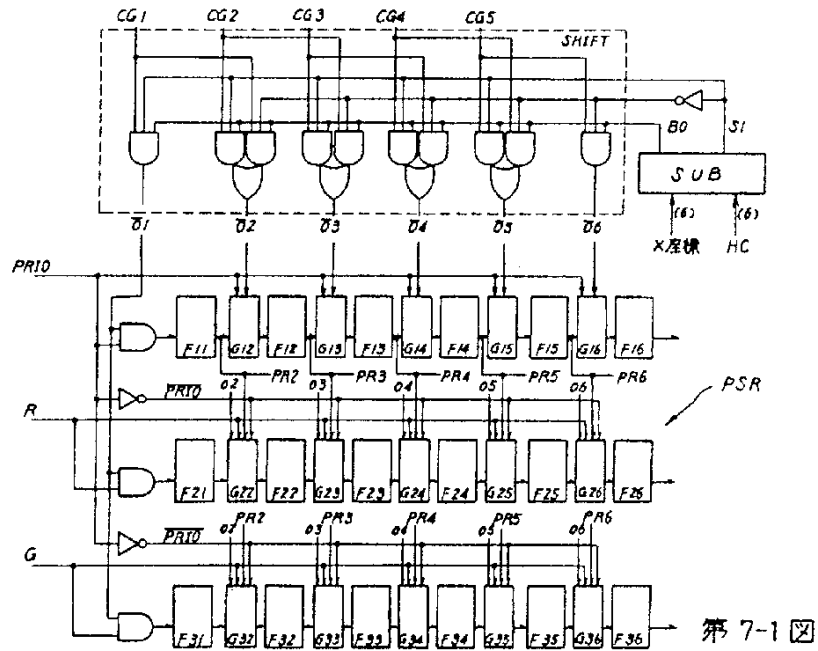
第 6-1 図



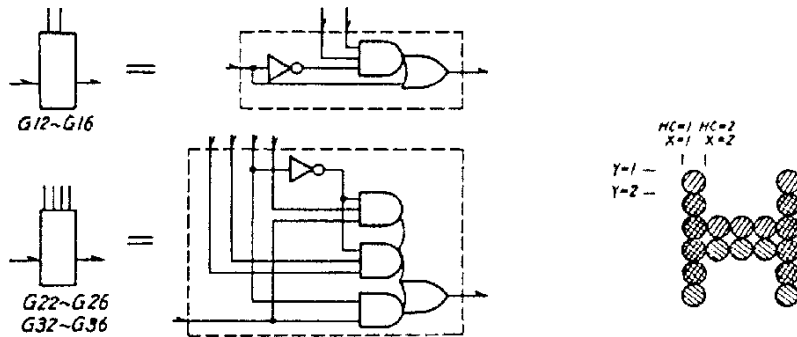
第 6-3 図

ADDRESS	Y(6)	X(6)	C(8)	R G B	ΔY(3)
0 0 0 0 0 0	0 0 0 0 0 1	0 0 0 0 0 1	0 0 0 0 1 0 0 0	1 0 0	0 0 0
0 0 0 0 0 1	0 0 0 0 1 0	0 0 0 0 1 0	0 0 0 0 1 0 0 0	0 1 0	0 0 0
0 0 0 0 1 0	0 0 0 0 0 1	0 0 0 0 1 1	0 0 0 0 1 0 0 0	0 0 1	0 0 0

第 6-2 図



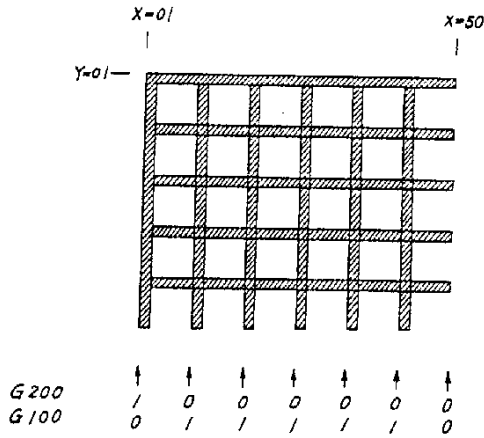
第 7-1 図



第 7-2 図

第 8-1 図

Y(6)						X(6)						C(8)						RGB			4Y			Y X RPT RPT			END			
0	0	0	0	0	1	0	0	0	0	0	1	1	0	0	0	0	0	0	0	1	0	0	0	0	0	1	1	1	0	1



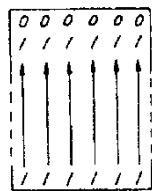
第10-3图

	FX1		FX2		P1 P2	
	t	t+1	t	t+1		
FIX	0	→ 0	0	→ 0		混合色: 黄色
F2X	1	→ 0	0	→ 1	0 0	
F3X	0	→ 0	0	→ 1		
FIX	0	→ 0	0	→ 1		绿优先: 绿色
F2X	1	→ 0	0	→ 0	0 1	
F3X	0	→ 0	0	→ 1		
FIX	1	→ 0	0	→ 1		赤优先: 赤色
F2X	1	→ 0	0	→ 1	1 X	
F3X	0	→ 0	0	→ 0		

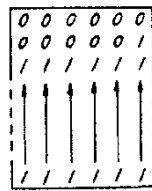
第7-3图

ADDRESS	Y(6)	X(6)	C(8)	RGB	4Y(3)	P1	P2
0 0 0 0 0 0	0 0 0 0 0 1	0 0 0 0 0 1	0 0 0 0 1 0 0 0	1 0 0	0 0 0	0	P1
0 0 0 0 0 1	0 0 0 0 1 0	0 0 0 0 0 1	0 0 0 0 1 0 0 0	0 1 0	0 0 0	0	P2
0 0 0 0 1 0							
///	///	///	0 0 0 0 0 0 0 0	0 0 0	0 0 0		

第8-3图



SM1

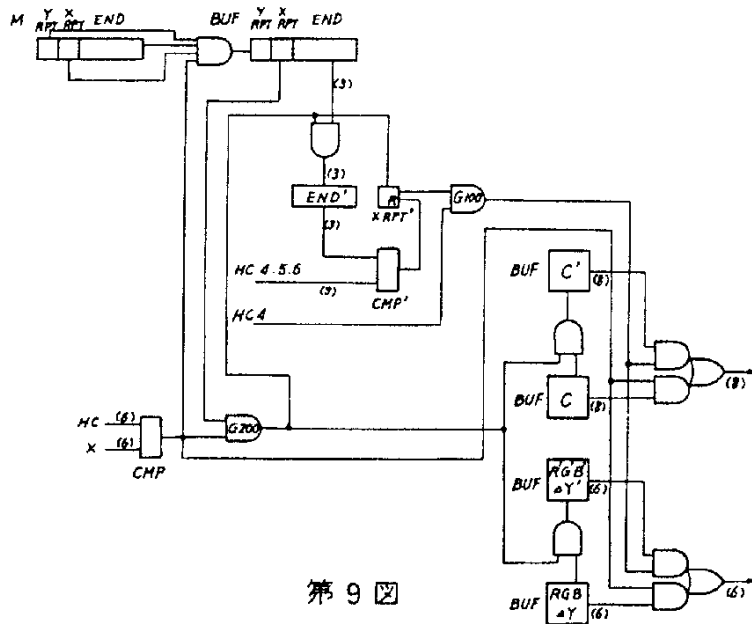


SM2

	X	HC	X-HC	BdSI
AD="00H" →	01	00	01	01
		01	00	00
AD="01H" →	01	03	3E	11
AD="02H" →	3F	04	3B	01
	↓			↓
	3F	3F	00	00

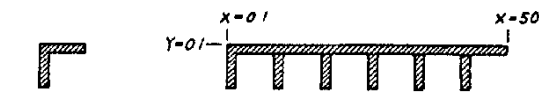
} 表示一致

第8-2图



第9図

Y (6)	X (6)	C (8)	RGB	ΔY	X <sup>Y</sup> RPT RPT	END
0 0 0 0 0 0	1 0 0 0 0 0	1 0 0 0 0 0 0 0	1 0 0	0 0 0 0	0 1	1 0 1



C=80H  
の基形パターン

G200	1	0	0	0	0	0	0
G100	0	1	1	1	1	1	0

第10-1図

Y (6)	X (6)	C (8)	RGB	ΔY	X <sup>Y</sup> RPT RPT	END
0 0 0 0 0 0	1 0 0 0 0 0	1 0 0 0 0 0 0 0	1 0 0	0 0 0 0	0 1	0 0 0



G200	1	0
G100	0	0

第10-2図