

⑫ 特許公報(B2)

昭61-25180

⑮ Int. Cl.⁴
G 06 F 13/42
5/06

識別記号 庁内整理番号
7165-5B
7230-5B

⑳ 公告 昭和61年(1986)6月14日

発明の数 1 (全4頁)

㉓ 発明の名称 データ処理装置

㉑ 特 願 昭56-16079

㉒ 公 開 昭57-130137

㉔ 出 願 昭56(1981)2月5日

㉕ 昭57(1982)8月12日

㉖ 発 明 者 松 本 恵 治 東京都港区芝五丁目33番1号 日本電気株式会社内
 ㉗ 発 明 者 小 口 哲 司 東京都港区芝五丁目33番1号 日本電気株式会社内
 ㉘ 出 願 人 日本電気株式会社 東京都港区芝五丁目33番1号
 ㉙ 代 理 人 弁理士 内 原 晋
 審 査 官 祖 父 江 栄 一
 ㉚ 参 考 文 献 特開 昭52-63624 (JP, A)

1

㉛ 特許請求の範囲

1 情報処理部と、該情報処理部へ入力させる情報を受信する信号線と、該信号線に接続され、受信した情報を一時的に記憶する記憶部と、前記信号線と前記情報処理部との間に接続されたゲートと、前記記憶部の出力を前記情報処理部に加える手段と、該情報処理部が処理を実行中であるか否かを示す信号を受けて、前記信号が処理中でないことを示している時は前記ゲートを開き、前記信号線上の情報を前記情報処理部に直接入力し、前記信号が処理中であることを示している時は、前記ゲートを閉じ前記信号線上の情報を前記記憶部に記憶せしめる手段とを有することを特徴とするデータ処理装置。

発明の詳細な説明

この発明はデータ処理装置、特にアドレスバスおよびデータバスを備え、これらバスを介して中央処理装置から書込まれるコマンドおよびデータにより処理を進める周辺処理装置に関するものである。

従来、この種の周辺処理装置は、周辺処理装置の内部処理実行状態を示す情報(以下ステータスとする)を有し、中央処理装置が、このステータスを監視しながら周辺処理装置へコマンドおよびデータを書込むことによつて処理を進めるように構成されていたので、中央処理装置と周辺処理装置との間のコマンドおよびデータのやりとりの処

2

理が煩雑で特に周辺処理装置におけるコマンドおよびデータに対する処理が長くなる場合、中央処理装置におけるステータスの監視時間も長くなるという欠点があつた。

5 この発明の目的は上記欠点を除去し、周辺処理装置のステータスに依存せずに中央処理装置がコマンドおよびデータを周辺処理装置に書込むことができる周辺処理装置を提供することにある。

10 上記目的を達成するために、この発明によるとアドレスバスおよびデータバスからの情報に基づいて処理を進める装置においてアドレスバスおよびデータバスからの情報を蓄える1以上のバッファレジスタならびにこれらのバスからの情報に対する処理状態を示す信号を備え、この信号が処理
 15 実行中であることを示している期間にさらにこれらのバスから情報が書込まれた場合に、これらの情報をこのバッファレジスタに蓄えることを特徴とするデータ処理装置を得ることができる。

以下にこの発明の一実施例を詳細に説明する。
 20 第1図はこの発明によるデータ処理装置の一実施例の構成図で1は中央処理装置、2は周辺処理装置、3はバッファレジスタ、4は情報処理部、5はアドレスバス、6はデータバス、7は5および6のそれぞれのバスからの情報に対する処理を実
 25 行中であるか否かを示す信号、8は中央処理装置1より周辺処理装置2へ情報を書き込むための信号、9および10はバッファレジスタ3より情報

3

処理部 4 へ入力されるアドレスおよびデータバスをそれぞれ示している。第 2 図は第 1 図におけるバツフアレジスタ 3 の構成を詳細に示したもので、7 および 8 は第 1 図に示す 7 および 8 と同じ信号で、5 0 はアドレスバス、6 0 ~ 6 7 はデータバス、3 0 ~ 3 8 はアドレスバス 5 0 およびデータバス 6 0 ~ 6 7 に対応するバツフアレジスタを示し、9 0 および 1 0 0 ~ 1 0 7 はバツフアレジスタ 3 0 ~ 3 8 より情報処理部 4 へ送られるアドレスおよびデータバスをそれぞれ示している。また、2 0, 2 3 ~ 2 6 は 2 入力 AND、2 1, 2 2 はインバータ、2 7, 2 8 は 2 入力 NOR、2 9 は 2 入力 OR 回路である。2 1, 2 3, 2 4, 2 7, 2 8 の各回路でラッチを構成し、2 2, 2 5, 2 6, 2 9 で 2 入力のマルチプレクサを構成している。この実施例においてはアドレスバス 1 ビット、データバス 8 ビット、バツフアレジスタ 1 個の場合についての例を示している。

以下に第 3 図のタイミング図をもとに具体的な動作を説明する。まず、アドレスバス 5、データバス 6 および情報書き込み信号 8 が第 3 図に示すタイミングで中央処理装置 1 より周辺処理装置 2 へ入力されたとする。第 3 図で破線はハイインピーダンス状態を示している。また周辺処理装置 2 は、アドレスバスがローレベルのときに、中央処理装置 1 より書き込まれたデータバス 6 の情報をコマンド、またアドレスバスがハイレベルのときに書き込まれたデータバス 6 の情報をデータとして扱う。従つて第 3 図の A 点でコマンドが、B 点でデータがそれぞれ中央処理装置 1 より周辺処理装置 2 へ書き込まれた場合を第 3 図は示して A 点でコマンドが書き込まれると、周辺処理装置 2 の情報処理部 4 において情報に対する処理を実行中であるか否かを示す信号は、この時点ではアクティブではないのでこのコマンドは第 2 図のラッチ回路にはラッチされずに直線情報処理部 4 へ送られる。情報処理部 4 でこのコマンドを受取るとこのコマンドに対する処理を開始し処理実行中であることを示す信号 7 をアクティブとする。この信号 7 がアクティブのときに第 3 図の B 点で示すようにさらに中央処理装置 1 よりデータが周辺処理装置 2 へ書き込まれると、情報処理部 4 は前に書き込まれたコマンドに対する処理を実行中であるためにこのデータを第 2 図に示すラッチ回路

4

へこのデータの書き込み信号の立下りで蓄積する。この蓄積はデータバス上のデータのみならず、アドレスバスの情報に対しても行なわれる。この実施例では、アドレスバスの情報としてハイレベルをラッチ回路へ蓄積する。

情報処理部 4 において最初に読み込んだコマンドに対する処理が終了すると (第 3 図における C 点) 情報処理部 4 は、データバスの情報のみでなくアドレスバスの情報をも入力するので、情報処理部 4 ではこの情報をデータと判断して処理を進めることができる。

処理実行中であることを示す信号 7 がアクティブのとき第 2 図に示すマルチプレクサ回路は、ラッチ回路の情報を情報処理部 4 へ送るように働かし、情報処理部では、コマンドに対する処理終了時点すなわち第 3 図で示す C 点でこのラッチ回路の情報すなわちデータを取り込むことになる。また情報処理部 4 では、このデータに対する処理終了後に処理実行中であることを示す信号 7 をインアクティブとし、次の情報に対して備える。なおこの実施例で処理実行中であることを示す信号 7 をアクティブとする必要のないコマンドやデータに対しては、ラッチ回路への情報の蓄積は発生しないのは言うまでもない。また、コマンドの次に書き込まれる情報がデータ、コマンドのいずれであつてもかまわない。

この発明においてはバツフアレジスタが 1 個であるが、周辺処理装置での処理が複雑でバツフアレジスタが 1 個では不足の場合には多数のバツフアレジスタを設けることによつて処理することができる。

以上のように、この発明によるデータ処理装置を用いると、中央処理装置は周辺処理装置のステータスを監視することなくコマンドやデータの情報を書き込むことができるために、中央処理装置の処理能力を向上させる周辺処理装置を提供することができる。

図面の簡単な説明

第 1 図は、この発明のデータ処理装置の一実施例構成図、第 2 図は、第 1 図のバツフアレジスタ 3 の詳細図、第 3 図はこの発明のデータ処理装置のタイミングの例を示す図である。

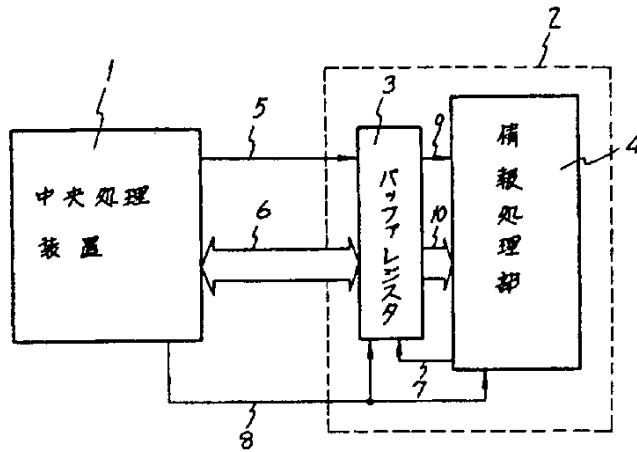
1 ……中央処理装置、2 ……周辺処理装置、3 ……バツフアレジスタ、4 ……情報処理部、5 ……

5

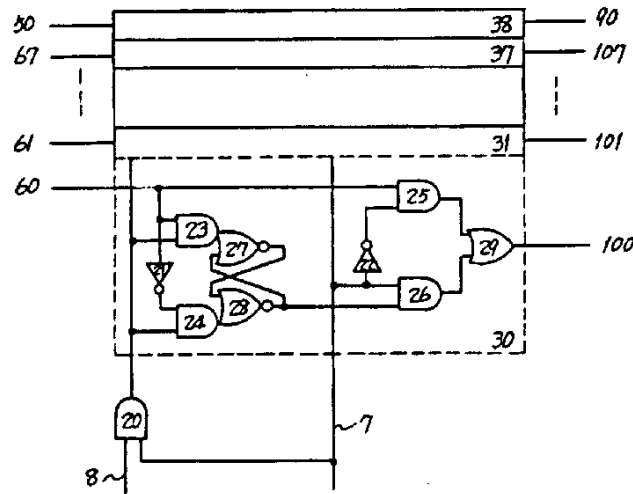
6

…アドレスバス、6 ……データバス、7 ……処理
 実行中であることを示す信号、8 ……書き込み信
 号、9 ……情報処理部へ入力されるアドレスバ
 ス、10 ……情報処理部へ入力されるデータバ
 ス、50 ……アドレスバス、60 ……デー

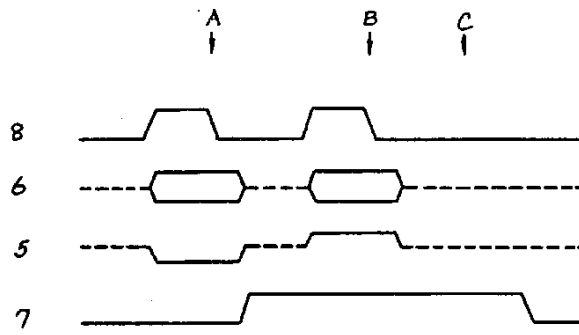
タバス、30 ~ 38 ……バツフアレジスタ、90
 ……アドレスバス、100 ~ 107 ……データバ
 ス、20, 23 ~ 26 ……2入力AND回路、2
 1, 22 ……インバータ、27, 28 ……2入力
 NOR回路、29 ……2入力OR回路。



第 1 図



第 2 図



第 3 图