

⑫ 特 許 公 報 (B 2) 昭59-32819

⑤ Int.Cl.³

G 06 F 9/30
9/26
9/34

識別記号

庁内整理番号
C-7218-5B
B-8120-5B
7218-5B

⑭公告 昭和59年(1984)8月11日

発明の数 1

(全6頁)

1

2

⑭ アドレス制御装置

⑰特 願 昭50-79834

⑱出 願 昭50(1975)6月26日
(前置審査に係属中)

⑲公 開 昭52-3350

⑳昭52(1977)1月11日

㉑発 明 者 小口 哲司

東京都港区芝五丁目33番1号 日本
電気株式会社内

㉒出 願 人 日本電気株式会社

東京都港区芝五丁目33番1号

㉓代 理 人 弁理士 内原 晋

㉔参考文献

特 開 昭49-12736 (JP, A)
特 開 昭49-116931 (JP, A)
特 開 昭49-116932 (JP, A)
特 開 昭50-54259 (JP, A)
特 開 昭50-72550 (JP, A)

㉕特許請求の範囲

1 情報の読み出しが可能な第1の記憶手段と、命令群が格納された第2の記憶手段と、この第2の記憶手段から読み出した命令を解読し、その解読結果に基いて制御信号を発生し、これによつて前記第1の記憶手段からの情報の読み出し操作を行なう手段とを有するアドレス制御装置において、前記第1の記憶手段の情報を使用する必要のない命令に対して、該命令に基いて前記制御信号の発生を禁止し、該制御信号とは別に擬似制御信号を発生し、この擬似制御信号を用いて前記第2の記憶手段から次の命令を読み出す制御回路を設けたことを特徴とするアドレス制御装置。

発明の詳細な説明

本発明はデジタル装置で使用される命令記憶装置のアドレス制御装置に関する。

以下の説明では情報記憶装置としてシフトレジ

スタを用いた計算機を例に取る。この説明で使用されるタイミング関係の用語について第1図を参照して予め説明する。論理レベルに対する記述には論理レベル“H”を“1”、“L”を“0”とした正論理を用いるクロック ϕ_1 、 ϕ_2 は計算機の基本となる刻時パルスで連続して出力され、これらクロック ϕ_1 、 ϕ_2 は同時に“H”となることはない。ビット・タイミング信号 t_1 、 t_2 、 t_3 、 t_4 はクロック ϕ_2 が“H”となると同時に“H”となり次に ϕ_2 が“H”となると同時に“L”となり、1ビットタイム間出力されるタイミング信号であり t_1 から t_2 、 t_3 、 t_4 の順に繰返し発生される。デジイットタイミング信号 D_1 、 D_2 、…… D_{12} はビットタイム t_1 から t_4 の4ビットタイム間連続して出力されるタイミング信号であり、デジイットタイミング信号 $D_1 \sim D_{12}$ の順に繰返し発生される。デジイットタイミング信号 D_1 とタイミング信号 t_1 の発生時点から次の $D_1 \cdot t_1$ が発生するまでの時間を1ワードタイムと表現する。

従来、一定の循環同期を持ち、情報を保持記憶するシフトレジスタを使用した計算機ではシフトレジスタ本来の性質によつてランダムアクセスが不可能であるため、シフトクロック発生ごとに1ビットずつデータがシフトレジスタから読出されてくる。このためレジスタ全内容に均等にメモリから読出されてくる命令が与えられるように、1循環周期(1ワードタイム)間、同一命令が出力されている。従つて前記メモリのアドレスを指定するアドレスレジスタの内容の更新は通常1ワードタイムごとに行なわれるように固定化されている。具体的に第2図に示す従来の装置では信号 $D_{12} \cdot t_4 \cdot \phi_1$ をアンドゲート回路7にてゲートし、その出力に一定間隔の ϕ_{AR} (第5図)を得るようにしそのシフトクロック ϕ_{AR} によつて例えばリードオンリーメモリによつて構成された命令記憶手段ROMの読出アドレスを変更し、命令記憶手段