

2542→2523

2528, 4295

K-2491(

合議者各位. p#1

N-Si 3μル-ル

暫定設計基準

IMR-KD-

54 2 15

承認	査閲	作成

54 $\frac{5}{8}$ 追加率追加
7/1

N-Si 3μル-ル プロセスの プロセス検討, 設計基準の
検討の為, 以下に示す設計基準を暫定的に決定し
64K ROMの設計を開始致しますので御了承下さい。

合議者 マイコンデバイス・プロセス設計

マイコンデバイス I/O X座)

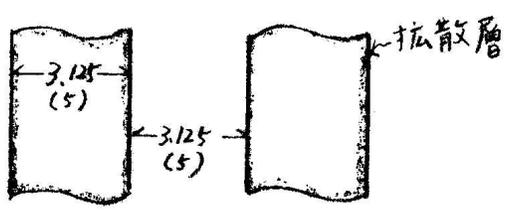
氏

In more accurate, the 3μ process described here is 3.125μ process which is calculated as 5μ x 5/8 (reduction rate). Computer adds the original 5μ X-Y coordinate 5 times and shifts to the right 3 times to get 3.125μ X-Y coordinates to achieve the 5/8 reduction.

Mask layout schematics were drawn manually using the scale of 2mm/5μm (400x) for top level and 4mm/5μm (800x) for functional modules under the top level to draw an N-channel silicon gate MOS (Metal Oxide Semiconductor) transistor one by one.

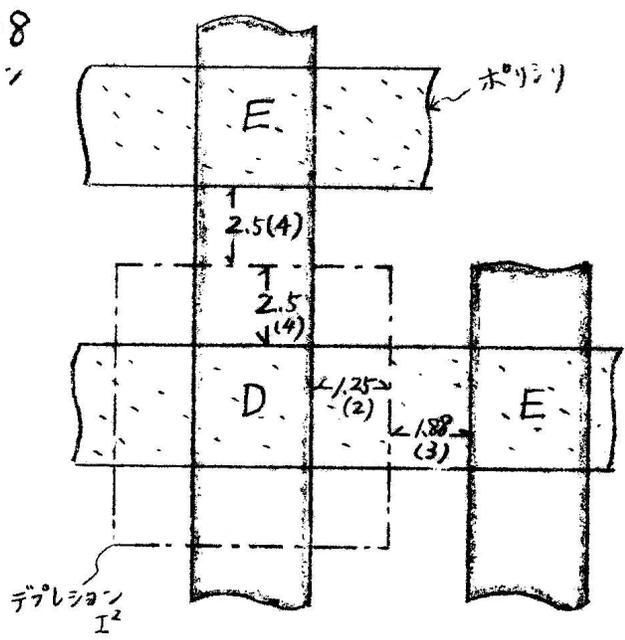
設計ルール ()内は x0.625 前の寸法

-01
フィルタ^h
(拡散層)



	(μm)	
中	3.125 (5)	3.75 (6) (片側 0.3125 (0.1) 設計後増大)
間隔	3.125 (5)	2.5 (4)

-08
デプレション

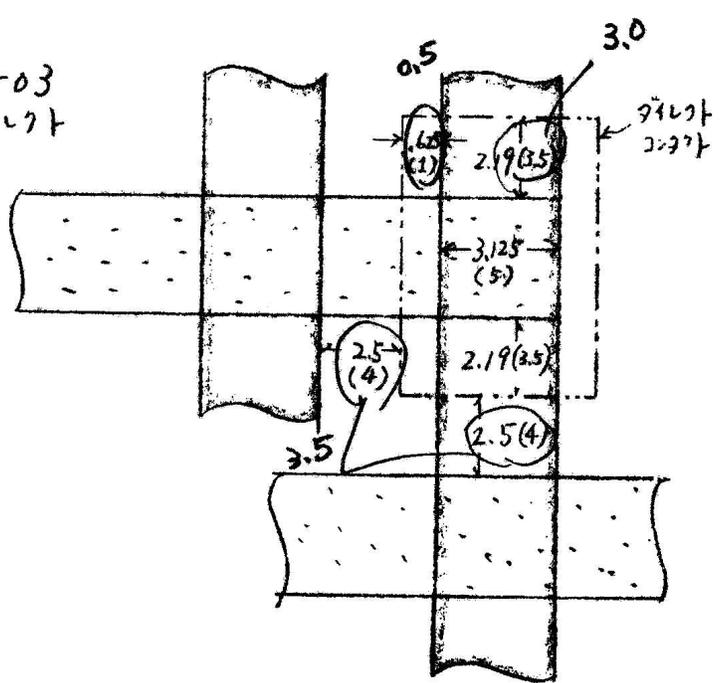


フィールドへのオーバーラップ	1.25 (2)
ポリシリ(D型ゲート)へのオーバーラップ	2.5 (4)
E型ゲートとの間隔	
同-拡散	2.5 (4)
他の拡散	1.88 (3)

-09
E:バスマット

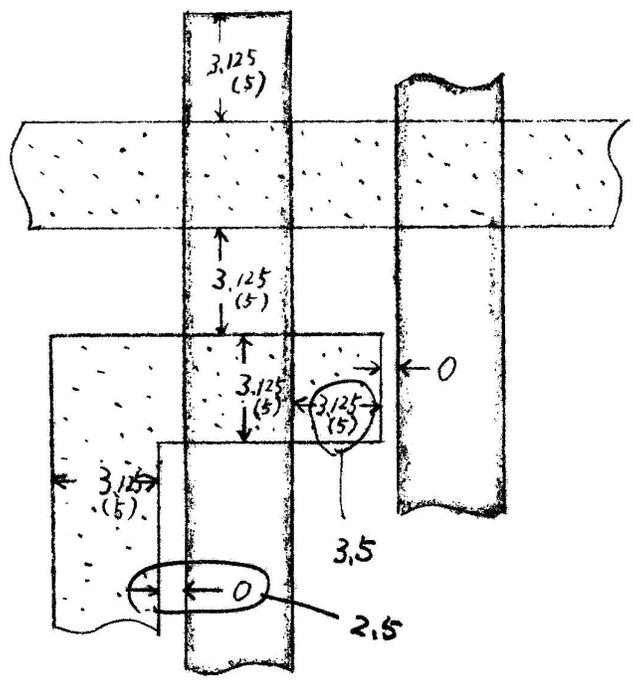
-08の反転

-03
フィルタ



ポリシリ ^h の拡散層へのオーバーラップ	3.125 (5)
-03のフィールドへのオーバーラップ	0.625 (1)
-03のSD内のポリシリへのオーバーラップ	2.19 (3.5)
-03と他のゲートとの間隔	
同-SD内	
他のポリシリ	2.5 (4)
ポリシリ自身	1.88 (3)
他のSD	2.5 (4)

-04
ポリシリ



中 3.125 (5)
但し 出力部のLは 3.75 (6)
間隔 3.125 (5)

拡散層との間隔
(平行な場合) *1
L = 3μm の Tr の 端部 0 (OK!)

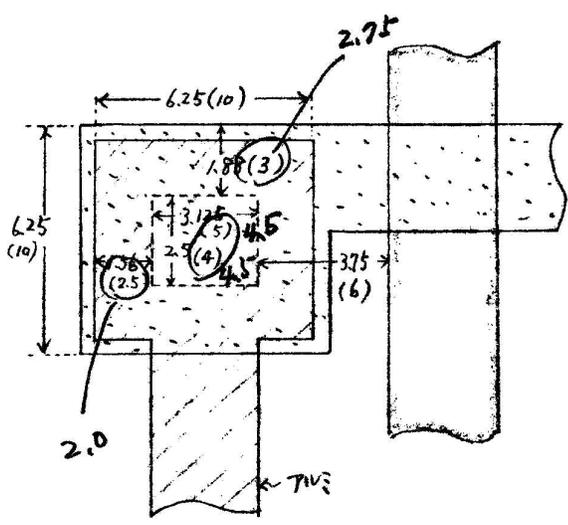
Tr 端部でのフィールド
へのオーバーラップ 3.125 (5)

*1; 但し、容量が問
題になる場合は
さけること。
(54.6/18 追加)

ソース、ドレイン拡散層の最小幅
(ポリシリより) 3.125 (5)
(54.6/18 追加)

-05
コンタクト

ポリシリ部



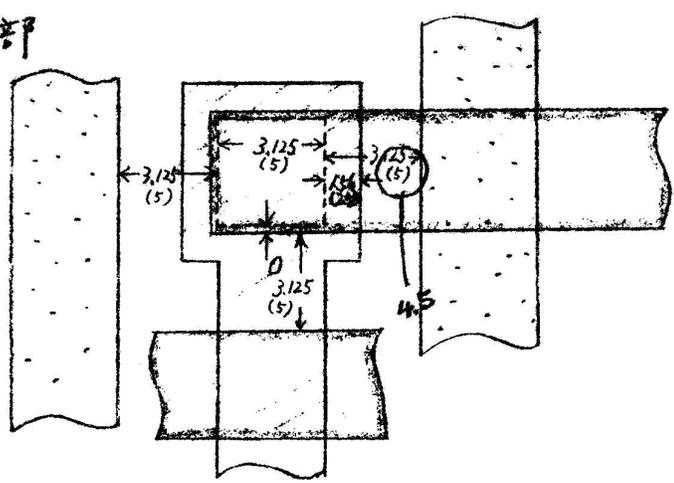
コンタクト サイズ
2.5 x 3.125
(4 x 5)

コンタクト - ポリシリ マージン
1.88 (3)

コンタクト - アルミ マージン
1.56 (2.5)

ポリシリコンコンタクト - 拡散層
3.75 (6) 54.6/18 追加

拡散層部



コンタクト サイズ
3.125 x 3.125
(5 x 5)

コンタクト - ゲート ポリシリ
フィールド ポリシリ (5) 3.125

コンタクト - ドレインの拡散層 3.125 (5)

コンタクト - アルミ マージン 1.56 (2.5) 54.6/18 追加

コンタクト - 拡散層 マージン 0

-06
アルミ

幅 3.0 (5 → 3.125)
間隔 3.0 (5 → 3.125)