

2470 → 2485A → 4295C

2446

2485A → B

九日()

2508-04320 → 2509-04322
RF(4)SF.

8引QXモリ卓電用LSI

μPD940C 設計報告

TEL - 3745

昭和 49年 10月 11日

集積回路(集) 2回路技術部

小口

資源不足が騒ぎれ、種々の物価が急上昇している。昨今、異常にも卓電用MOSLSIは、円切り下げ、さらには、本年度と予想される製品輸入自由化による、外国製品攻撃に対処せねばならぬところから、大幅な価格引き下げが行われている。この為NECにおいても、本年4月中旬より高級仕様であるか、価格が1000円を割っても生産実現可能な超安価卓電用LSIの設計を開始した。 μPD940C or それもあり、7月末、オノミ試作が完成し、その機能確認が為されたので、設計内容について報告する。

[成果概略]

- ・ パッケージサイズ 3.78 × 3.80 mm
- ・ ピン個数 24pin + 35~40個, 34pin + 100~120個
- ・ 消費電力 埋蔵使用時 25mW

[設計担当者]

・オノミ路技術部

システム、回路、レイアウト設計 ... 小口

モードアダプタ、アダプタに上げ、過剰電流 ...

RDM検査用テストパターン作成、原図チェック ...

・ 集品設計関係

N6.15 実用化の評価 ...

ファンクション・フローチャート設計 ...

設計基準及び仕様

① デバイス

- Pチャネル・メタルゲート PMOS (4H注入1回)
- No.15 設計プロック

従来メタルゲートを構造では、ホロン肉厚10μmを基準としたNo.4
No.5 プロックを使用していたが、ホロン抜取プロセス改良により可
能となりたホロン肉厚25μmを基準としたNo.15 設計プロックを
使用している。(IEI-3270, 3581 製設、参考)

この点、従来の設計プロックを使用した場合に比し、自動ケーブル
面積は 12.5~15%程度小さくなる事ができる。

NPD940C はこのNo.15プロックを採用した最初の量産品盤
であるので、PCBの設計検討及び評価を行う必要がある。

- 内部プロック: シネレタ、墨云素子(監視表示管と主対照とする)ドライバ
内部自動クリア機能回路、キー入力アルファ/数値を含んだ完全
14470。 22ビニ・プラスチックモールド

② 電圧仕様

- 演算小数点 8桁又はより
- 上位8桁優先表示 (標準範囲 10^3 ~2.31、標準表示用8桁又はより)
- 8桁丸返算、四則演算、パーセント計算、ルート計算、位置数
その他 四則反復計算、四則又は累積計算、割引割増計算等、標準的
な機能については全て満足している。
- 消費電力標準値 25mW
- 角度式 → 加算式、直示式 (角度表示→8桁表示、直示式、
23-表示等)、運算仕様 年の変更に対応して ROM部分に2027
の位置表示の変更による 2190・7ワードの方式を採用している。

その他、記述の仕様については、中略の範囲でご参考下さい。
お詫び申します。

[2] ミスーム 評価 回路設計

单電のE3に小規模なシステムになると、ミスーム 評価 回路設計専門のキーワードはなんとなくなり、1つのまとめた設計分野であると言って良い。さらに、かつて回路を縮小しようとすることは、レイアウト設計とのストップウオッシュは緊密なもので無くてはならず、回路設計時間は既に、レイアウトに対応する、十二分の配慮が成されると同等に、レイアウト設計時間においてはレイアウトしやすい様に回路設計の変更を行なう必要がある。又、LSI検査用テスト・パターンとランダム・ピット・パターンを作成場合には、パターン数が少なくしかも故障検出率の高いもののとすると、自動的 テスト端子の設定、テスト端子までも考慮できる事が多い事となる。

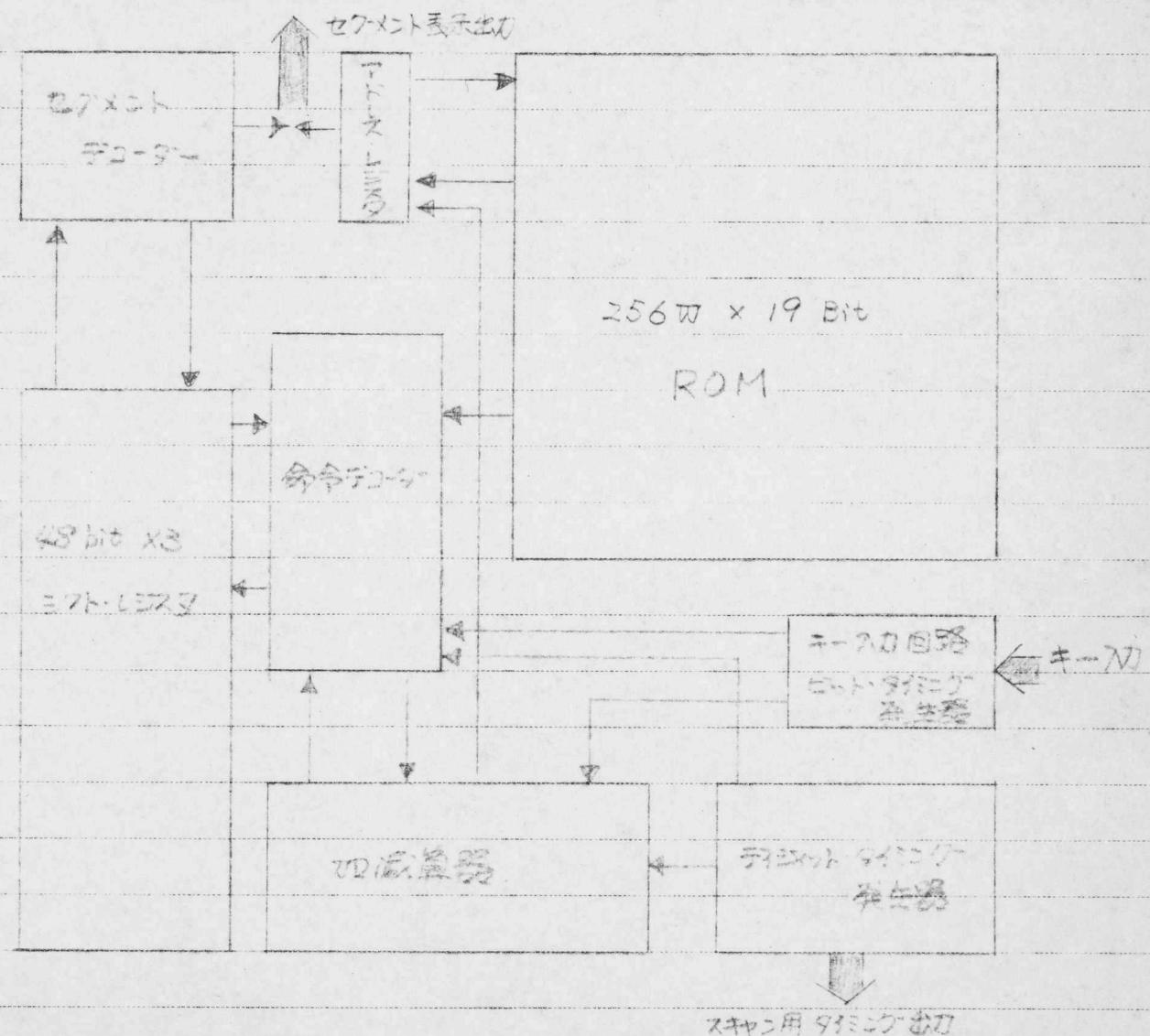


図1. システム構成

ROM部を除いた回路図。NPD940C, 941C, 942C のプロトタイプ。命令コード一覽表を参考に行ける。

① レジスタ構成

X, Y, Z 各々 48 ビットのシフト・レジスタ（おひらる），XReg...表示，演算YReg...定数格納，ZReg...DP表示 演算の機能擴張である。

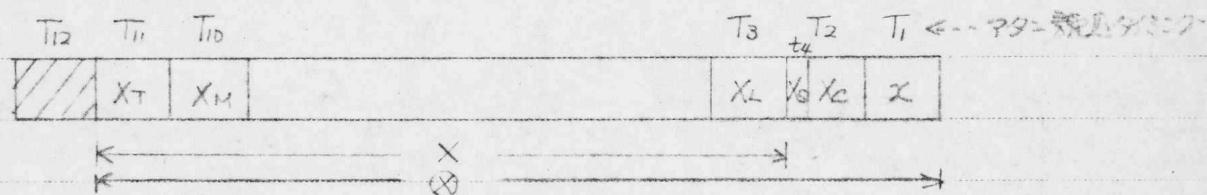


図2. レジスタ内容 及び フラグ・モード

X	小数点数値データ 4ビット	XH	計算結果8位目データ 4ビット
Xc	演算制御・記憶用別用ワクスル XT	XT	演算制御9位目データ 4ビット
Xs	正負符号データ 1ビット	X	演算結果全行データ 36ビット
XL	演算結果16位目 4ビット	⊗	レジスタ全データ 48ビット

従来、NEC 機器基板において用いられていた エンコード方式、シフト・レジスタ方式による計算用カラータ、オバーフロー・演算制御ユニット等のハードウェアは、全て、上記 Xc 3ビットのソフト的处理において省略となり、ゲート総数が激減した。

T2 のレジスタ内容に使用せず、常に “0” にクリアされている。その理由は、T2 データを 4ビットの量であるシリアルデータを効率的ととの处理結果は T1 データに出力され、そのときには後に ROM のアドレスや直射式にてより拡張で、レジスタ内に読み込む事が不能になる場合があるからである。これを実現する為には、レジスタへの読み込みゲートに供給する ROM 出力を、4ビット 同様に選択されれば良いのであるが、32ビットゲートの増加及びキーブ出力方式との関連もあり、行かれていない。

② ROM

256 アドレス 19 ビット メモリ選択 4864 ピット 3 ある

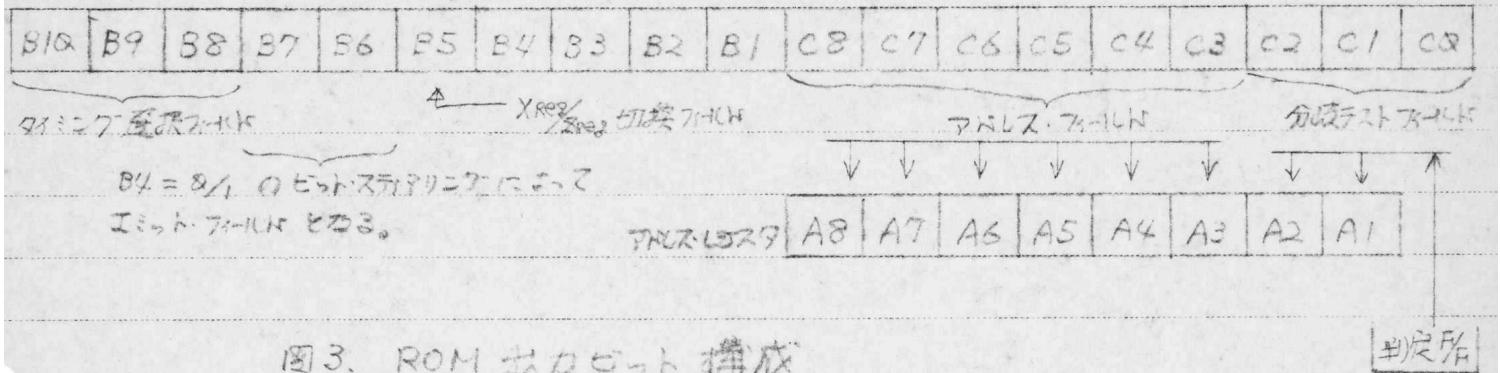


図3. ROM 出力ビット構成

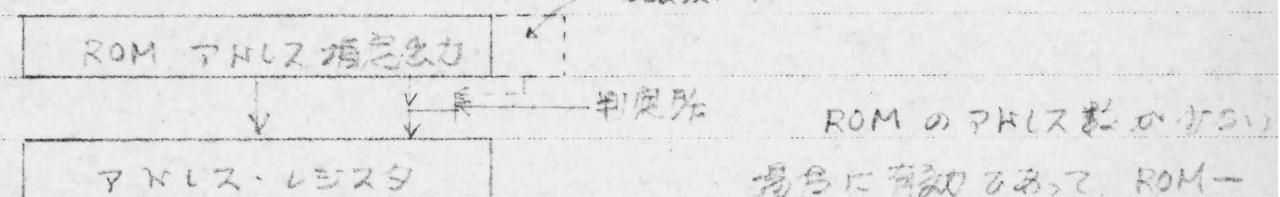
(a) ROM アドレス直接法

UPD940C で行なっている機器、直帰指定 と コントロール ROM の選択が大きなものに使用される ストラップ・カウンタ（シーケンス・コントロール・カウンタ、或B1）はプロセス・カウンタ）による指定の二種に大別できる。

I. 直帰指定

(i) 完全直帰指定

図4.

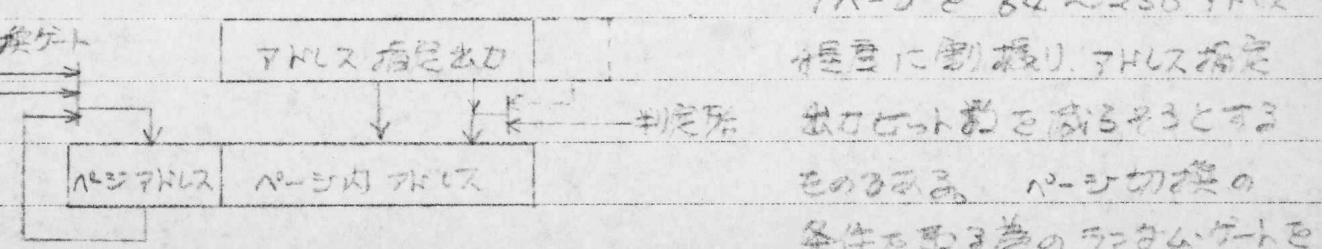


場合に直帰することで ROM-
アドレス・レジスタ 間には 判定階

内容を制御するゲートが存在するだけでも 2^n ゲート数はかかるのが
アドレス直接出力は アドレス・レジスタ のビット数 全てを必要とし、ROM
出力ビット数が 増す。アドレス割当に対する割戻は全く多く、ROMを
100% 無駆動で使用する事ができる。

(ii) ページ内直帰指定

図5.

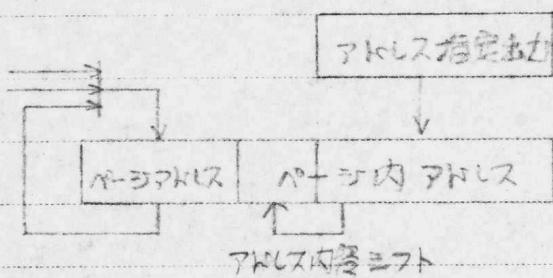


1P-1を 64～256 アドレス
程度に割り振り、アドレス指定
出力ビット数を決めるゲート
その結果、ページ切換の
条件を取る各のランダムゲートで

必要とし、さらに、ページマップリストとページ内アドレスリストとは
重複した読み込みクロットを必要とする。

NEC 復采品種ではさらに指定出力ヒット数を 1 ヒット減らした
方式となっていた。(下図)

図6.



この様にすると、ページ内での

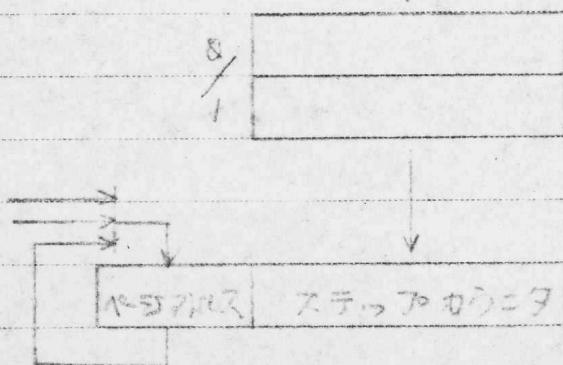
アドレス指定についても、制限が
生じてくる。

カレント・ページ外へのジャンプの場合は
ページ切換ゲートを作成せねばならぬ。

II. ステップ・カウニタ 指定

+1 可能なステップ・カウニタ (+1 のみで逐次アドレス・ステップ可能
なものであれば良い) によってアドレス指定を行なうもの。直接指定の
場合と同様にシステム規定において完全指定をするものと、ページ内
のみの指定をするものとがある。アドレス指定のみに使われる ROM も
必要となる。ROM 出力ヒット数が減りする反面、アドレスステップが
シーケンシャルに行われる。任意のアドレスにジャンプするには、無条件
ジャンプ命令を常に行なう必要があり、アドレス消費量が増加傾向を
取る。さらにプログラム・データを複数に行なわねばならぬ場合は
あるがゆえ ROM アドレスに大きな余裕を確保しておかねば
ならず。ROM の有効な活用や、ROM 理想のままでシステムのとく
直接指定方式に比べて、さるくるべき可能性がある。

↑



通常はエントリル、あるいは他の制御アンドドロップ等
アドレス・ロード命令のときのみアドレス指定部と連
用される。

図7.

MPD940C では、ROM アドレスが 256 フォンスヒルコイン、プロセス、
データ、多段におけるアドレス割当操作の直帰化による二段削減、
ROM 出力ヒット減少化の反面、增加するラジタムセットのレイアウト上の繁雑さ
より、層構造にも直帰化がなく、むしろ、負荷 MOS、コネクタ数の増加(?)等
の根柢から、完全直帰指定方式を採っている。レイアウトしきり
回路設計を行なう者は、ナップ面積縮小に直帰的に繋がり、回路設計上
の 1 つの眼目であると思われる。

(b) ROM 出力

詳細な命令については、巻末命令コード表を参照。

- X_{R3} と Σ_{R2} を命令処理において同等の位置関係に置く事。
E.P.S., $x+1 \rightarrow x$ という命令が可能であれば、 $y+1 \rightarrow y$ という命令も
可能である様にしてある。
- 1, 2, 4, 8 の定数データを出力ヒットによって発生させ、そのデータに
よる加減算、累計、判定の全てが実行できる。
- 判定階セット条件は (1) 指令条件セレクタ、ホロー (2) リセット単位のキーリー
ホロー (3) キー入力信号有り の 3 条件であり、判定階は 1 階しか
存在しない。この判定階の状態は常に監視されており、合図リスト
アーチ ROM 出力 CD 基しきは C1, C2 の状態によって判定能力を
無視したり、分歧先アドレスを種々に変更したりする事ができる。

(50 ページ参照)

以上が MPD940C における論理設計思想である。以下、実際例
について、要旨のみを抜粋する。

- X_{R3}/Σ_{R2} 处理切換は $B5 = 1$ で行なう。
- Add/Sub 切換は $B1 = 1$ で行なう。
- 定数発生切換は $B4 = 1$ で行なう。そのコードについては、
 $B6, B7$ によって発生させる。
- レジスタ操作命令は $B3 = 0, B4 = 0$ のとき有効となる。
- レジスタ復元命令は $B3 = 1, B4 = 0$ のとき有効となり $10\% / 68\%$
切換は $B6 = 1$ によって行なう。

まとめると、次ページ(図 8)の如くとなる。

	B4	B3	
レジスタ操作	/	/	符号化設計の方式とには ROM出力ビットと論理ゲートとの 対応に応じた直帰制御
命令	/	/	方式があるが、云ふる命令を 扱つ場合には、出力ビット数が 非現実的に大きくなる。
レジスタ自演算命令	0	1	1対1に対応した直帰制御 方式があるが、云ふる命令を 扱つ場合には、出力ビット数が 非現実的に大きくなる。
	0	1	実際の命令では、全てのゲートの 開閉が操作的ではなく、 かなり多くの冗長度が含まれ ROMメモリー部を効率的に 使用する上に言ふ事
定数発生、実数データに よる演算、遷移、判定命令	1	0	等があり、NPD940Cでは、デコードを最適論理設計にて縮小化した、 最小符号化方式を採用している。直轄として有効な命令の種類を 名づけた論理設計の表示や例によて ROM RAM それに付随する 命令デコーダの大きさが決定され、ひいてはチップ面積が決まります と言つても言い切る程ではない。
	1	1	NPD940Cで使用する命令は豊富にあり、有効なもののはかりを 羅列してみると 8 桁メモリー用としてはせりたくすぎる盛りが多い わけではある。
	1	1	

図8. 命令コード区分概略

符号化設計の方式とには
ROM出力ビットと論理ゲートとの
対応に応じた直帰制御
方式があるが、云ふる命令を
扱つ場合には、出力ビット数が
非現実的に大きくなる。
実際の命令では、全てのゲートの
開閉が操作的ではなく、
かなり多くの冗長度が含まれ
ROMメモリー部を効率的に
使用する上に言ふ事

等があり、NPD940Cでは、デコードを最適論理設計にて縮小化した、
最小符号化方式を採用している。直轄として有効な命令の種類を
名づけた論理設計の表示や例によて ROM RAM それに付随する
命令デコーダの大きさが決定され、ひいてはチップ面積が決まります
と言つても言い切る程ではない。

NPD940Cで使用する命令は豊富にあり、有効なものはかりを
羅列してみると 8 桁メモリー用としてはせりたくすぎる盛りが多い
わけではある。

(C) マイクロ・プロセラミング方式とワイヤ-ル・ロジック方式

NPD940Cでは、コントロール ROM 内に書き込まれたマイクロ命令を
1マシン・サイクル（マスク・レジスタを運用して13のマシンサイクル =
48 クロック・サイクル）毎に読み出し、処理できます。マイクロ・プロセラミング
方式を採用している。（但し、マイクロ命令とて固定されたものを
さらに用意に応じて有効なものを用意、拡張を要する事は、
不可能である。）この為、仕様変更に対しても、マイクロ・プロセラミングの
主導による ROM メモリー記述言語の位置変更のみで済み、自由度の
大きな設計が可能としている。

ワイヤード・ロジック方式には、1クロック毎にシフトするレジスタ（遅延線）にて、状態を変化させて処理を重ねる初期の段階の方式と、状態を数段のレジスタに記憶させ、条件階級の変化により、状態レジスタ内容を更に変えて処理を重ねる方式（マイクロ・アーキテクチャ方式のマニス・ストラップに類似しているが、本質的に異なる。）の2種あることを思われる。

(1) シフト・レジスタ（遅延線）を用いた方式例

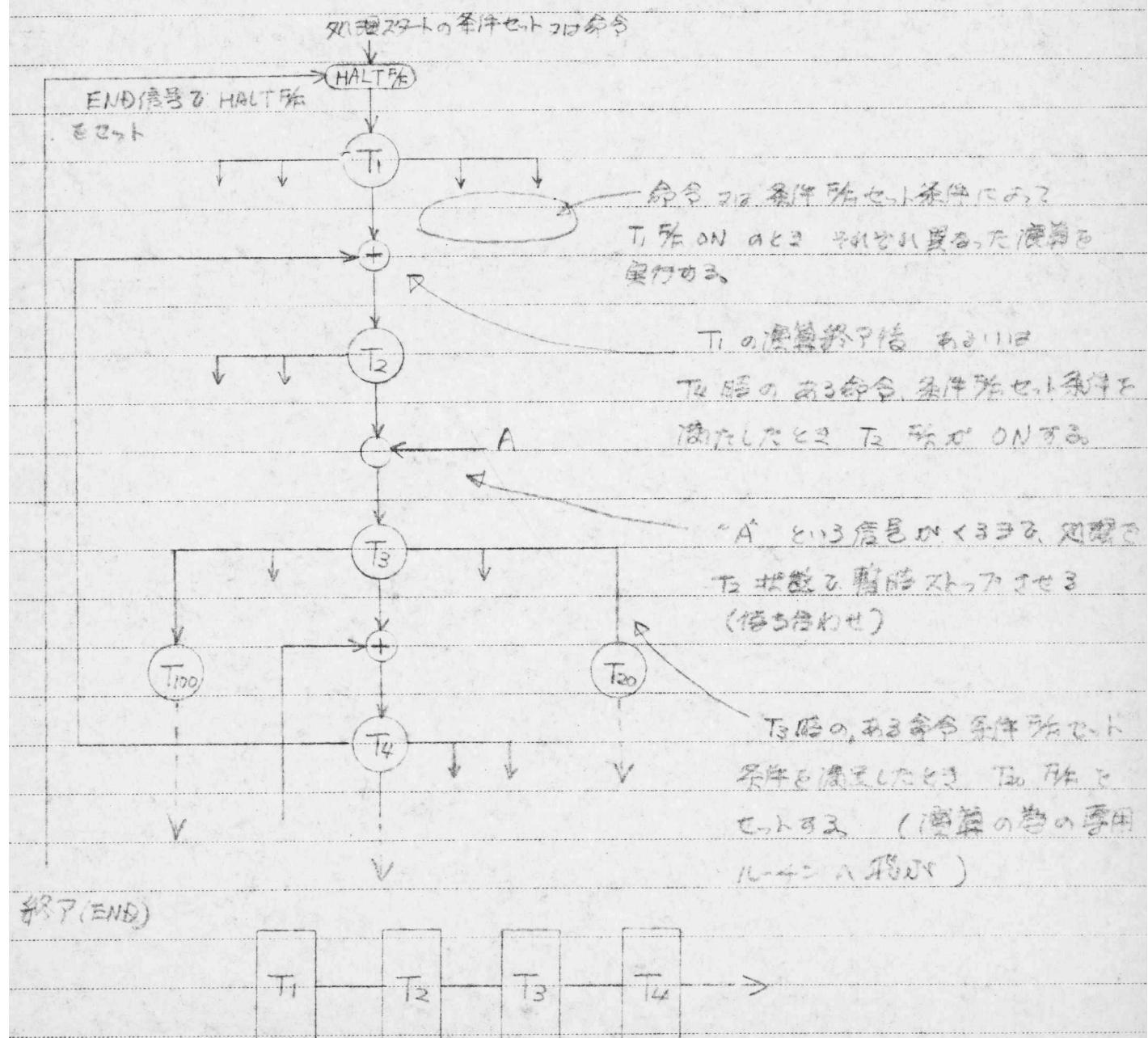
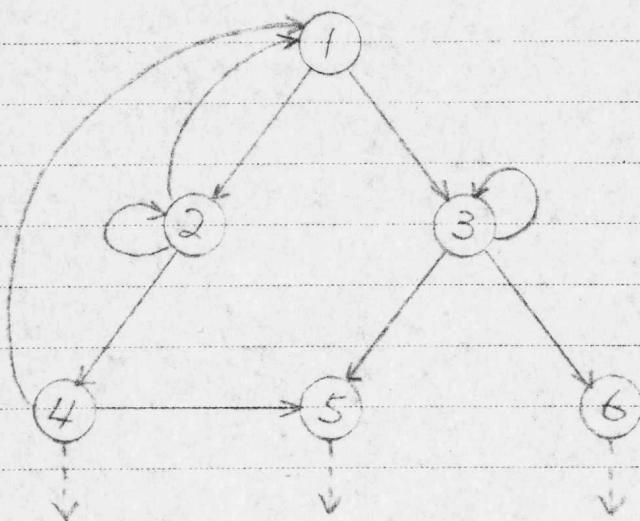


図9. ワイヤード・ロジック方式例(1)

(ii) 状態レコード・コード式例

状態数を16とし、レジスタを4ビットを使用した場合



(1) と同様に各状態における行動

此三項事項之全掌，歷年所已上集付

ある者ゝ異なり。一般には

ハーフウェアを少なくて済む間に "RS, LS"

“ $x-1$, $x+1$ ” 等の類似した座標と

32

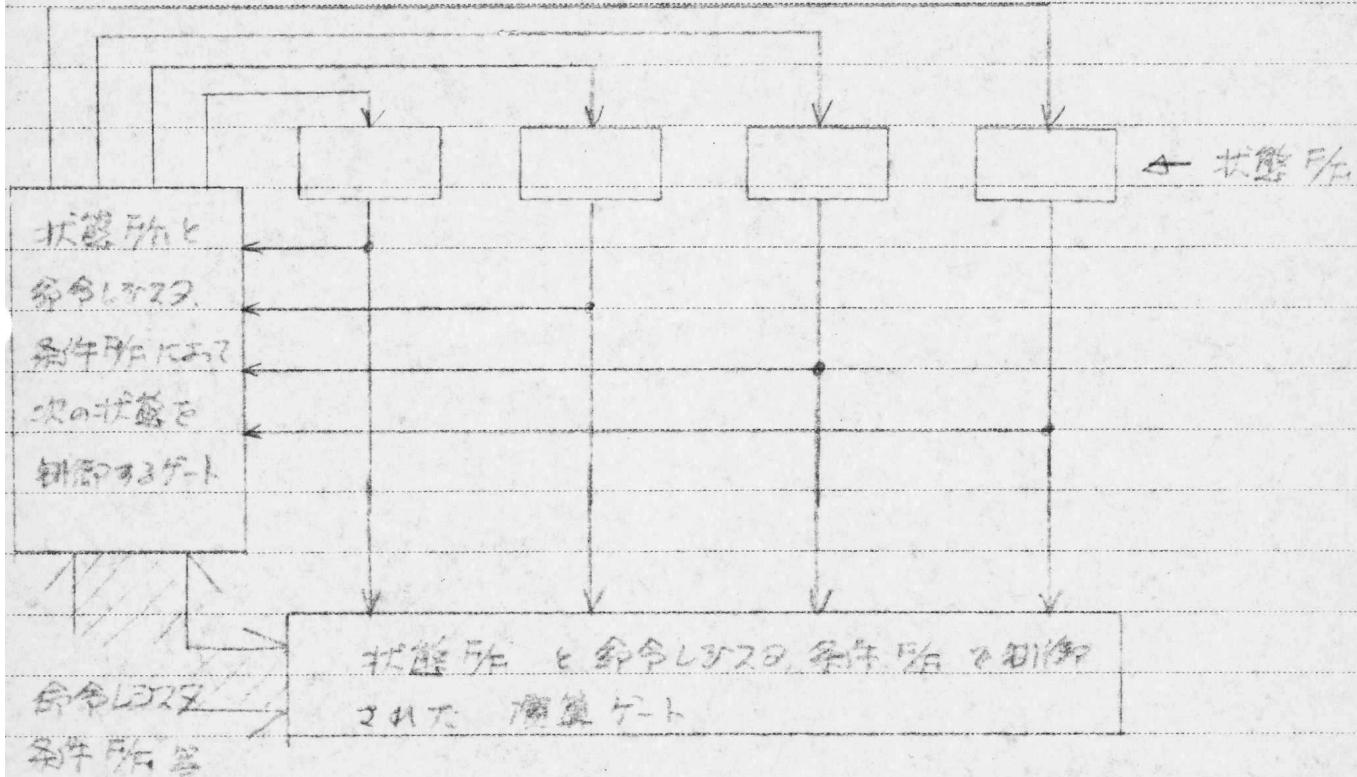


図10. ワンダーハロウド方式(2)

(ii) の方式の場合、各状態における命令を多段のものとする。

各状態のなかで、シフト・レジスター（最近線）を用い、順次、命令を変更(?) したり、条件所によると制御されヨゲートを増したりする手段を用いる。

又、ワード・ロジック方式では、フロー・チャート作成、命令語定義ア俗にフロー・チャートに沿った、シーケンス・コントロールのハードウエアを設計せねばならず、設計工数の増大、設計分離化による設計思想の不徹底、設計変更の非容易性といふ欠陥がでてくる。

マイクロ・プロセッサ方式とワード・ロジック方式との根本的な相異点はシーケンス・コントロールにありと見て良く、この相異がシステム全体に大きな差異を生じさせてくる。（各方式の得失については文献参照）

(a) シャープ・卓電設計方式

ステーシュ（キーストロークだけ、コントローラル系制御、HALT/START 判断）ヒステーシュ（演算命令実行）にコントロール ROM 内蔵が大きく区分される。ステーシュでは (i) 例にある様る完全なワードロジック方式の回路が組まれている。ステーシュでは、(ii) 例にある方式に (i) を加味した。これも、ワード・ロジック方式を採っての間の条件所による制御は少なく、判定所による状態変化が主である（演算結果による判定条件は非常に多いが）のでマイクロ・プロセッサ方式に近似しているものである。但し、状態数が少なく且つ、1つの状態のなかで (i) 例にある様る順序制御たよりで固定された（この命令に変化を自己本身、(ii) 例 下層に常に勿論命令を添えてきて、固定命令に若干融通性をもとめてる。）命令を実行させるのを演算ルーチン内の仕様変更による括りの操作を ROM のみで実行する事は、非常に難しい。さらに卓電においては仕様変更の対照となるものは、殆んどステーシュの部分あるいは表示方式であるので、コントローラル系を多用したシャープ・ワード・ロジック方式では、他の機器配線部の変更を行なうため仕様変更は 100% 無理である。

東光ビジネス・マシン（商品名ユニフレックス）の設計方式はシーア式
以上にワードロジック化されており、2,3年前、東京電機応用研究所
との協力で開発されたMPD270も、この方式であったと想われ
る。

ワードロジック式は個別半導体、SSI時代には、使用トランジスタ数
が少ないとされる優位性をもつていたが、卓電システムがIC化
され、ストアード・ロジックが採用されROMの面積を小さく出来る様に
なった現在では、卓電仕様変更が多岐にわたって出来るとも良いと言
う次第にまた立ち戻ったとしても、マイクロ・プログラム方式の方が
全般的に“可”であるという評価を下しても差支えないと想う。

但し、同じマイクロ・プログラム方式を採る場合であっても、その用途が
通用のものであるか、卓磨という確実の堅むけであるのかによって
そのアーキテクチャーには当然変化があり、どの程度までマイクロ分化
した命令とするか、どの程度より固定化されたハードウェアを用いれば
良いか、その最適な構成を直ちに車が大きな問題となる。

(C) キー入出力回路、表示回路

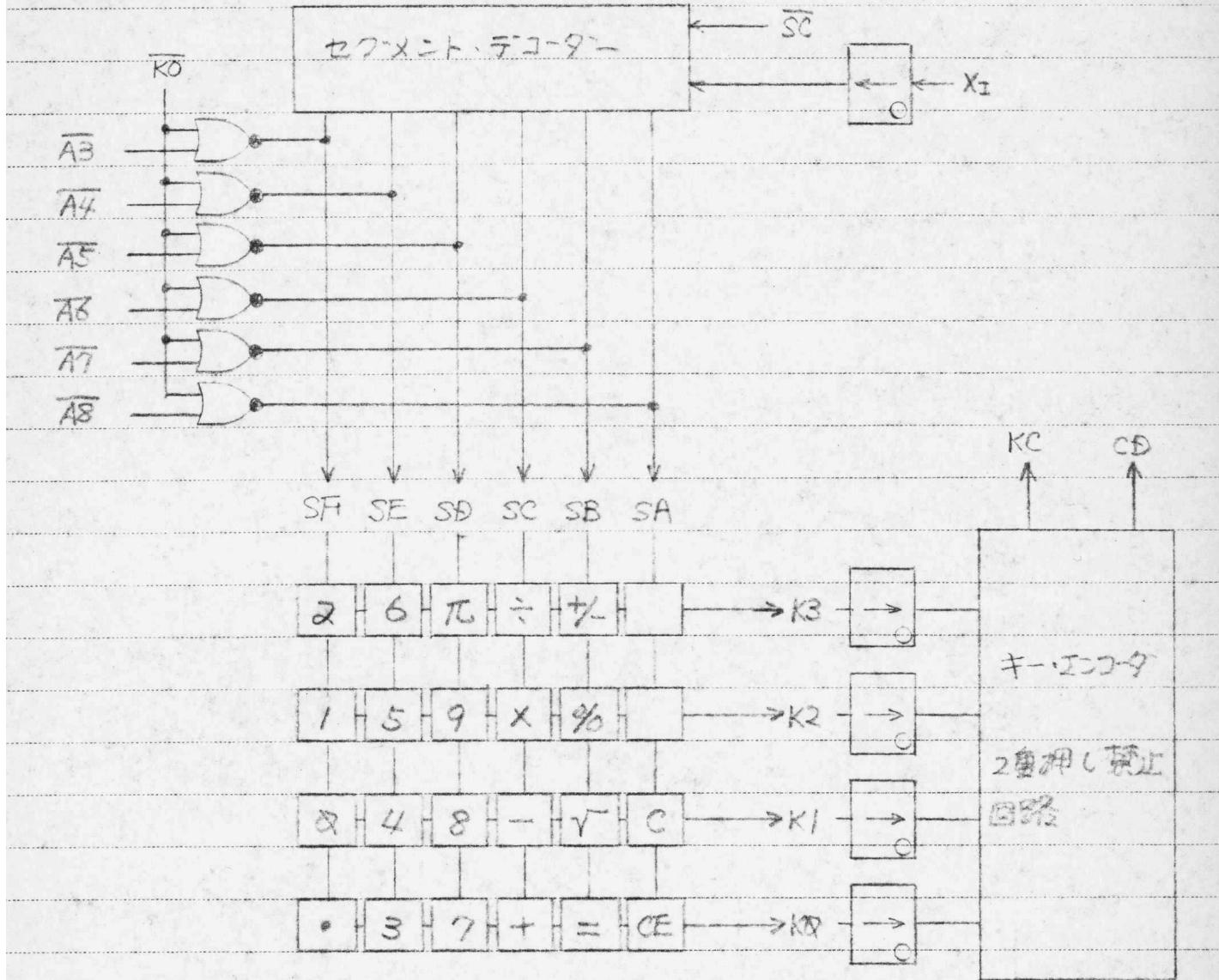


図11. キー入出力回路 及び キー配置

従来、キーへの供給信号として ビット・タイミング出力 あるいは デジタル・タイミング
出力を用いていたが、ビット・タイミング出力を用いると 出力端子数が 4本
増加する事、キー入出力間での遅れを補償する事、ノイズに弱い事、
外付部品が増加する事、キーの2重押しに対する保護をLSI内部で
行う事が難しい事 等 利点は無い。 さらに デジタル・タイミング
出力を用いる場合、表示管スキャン用出力を通用する旨 好都合で
あるが エニコードする前に キーストロッチャ、4ビット・カウント(不要ビット)
を223が 1つめにせよ し3アウト的に見? 大きくなる。) を12母とく

さらに 2重押し防止回路に至っては、許可の対照となる程大きな回路を必要とする。

UPD940C では、ROM アドレス・ビットラインをテコドサブ（内部コントローラ）では、入出力機器を、アドレス出力を個別に 23 管、外付回路として、アドレス・デコーダー（2⁴ × 16）を用意し、セグメント端子に並列してある。この方式は、キーの数が 24 キーと少ない場合に可能（早急にみれば、24 ~ 28 キー程度あるいは、充分）なのであって、キー数が増加すると、不能となる。

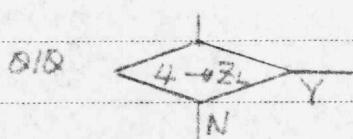
図 12 の様に数値表示セグメント出力とキー供給の為のアドレス出力を時分割して出力する。この制御の為に $\overline{K_0}$, $\overline{S_0}$ 信号を用いる。

セグメント出力信号は、演算中には出力されず、表示中であれば、数値表示、キー供給いずれの用途のものであつても出力される。しかしながら、

キー信号有無を判定するアドレスは、 $B_4 = B_3 = B_2 = 1$ の ROM 出力が出ていた場合のみに限られる。参考 フロードマップ No.1 において、

083 番地 ~ 100 番地 に至るまでのフロード OFF チャタリに 2⁴ 防止、ON チャタリに 2⁴ 防止をも含んだキー関係フローであるが、キー有無の判定を行なうアドレスは、374, 377, 201, 004, 01Q, 02Q, 04Q, 10Q の各番地である。キーが押されない時は、キー・エニコードデータとその命令が示される定数データと共に重複されて、指定されたレジスター（キー入力タイミングの関係で X_C, Y_S, X_L のタイミングに限定され）に読み込まれる。

(例) ⑤ キーを押したとき



01Q 番地にくると 図キーに供給して

113 SE 出力端子に信号が重ねられ

キーを押している時は K2 入力が "H" となり、2 重押しているだけには、判定所

をセト。キー・エニコード・データ "2" と "4" を重複して "6" と ZL に読み込まれる。

キー・エニコード・12 $K_0 "H" \rightarrow "2"$, $K_1 "H" \rightarrow "1"$, $K_2 "H" \rightarrow "2"$
 $K_3 "H" \rightarrow "3"$ を出力する極めて簡単な回路を使用 (2:13)

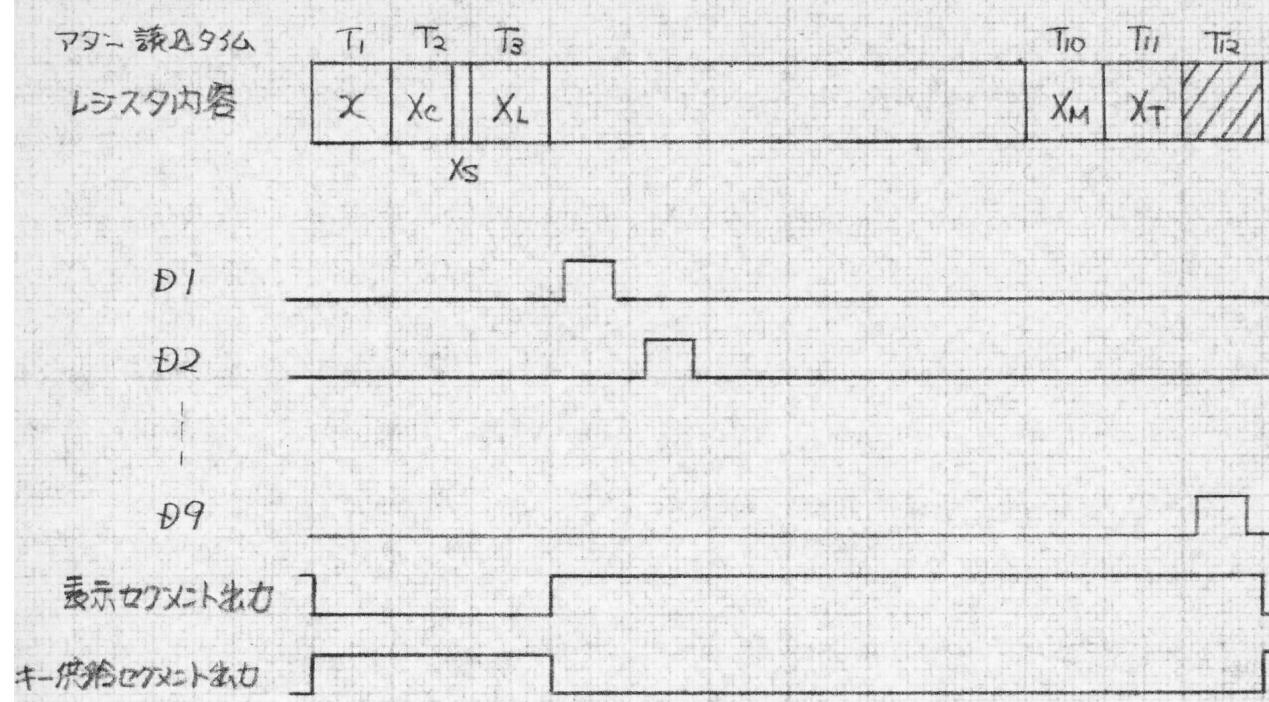


図 12. セグメント出力時分割

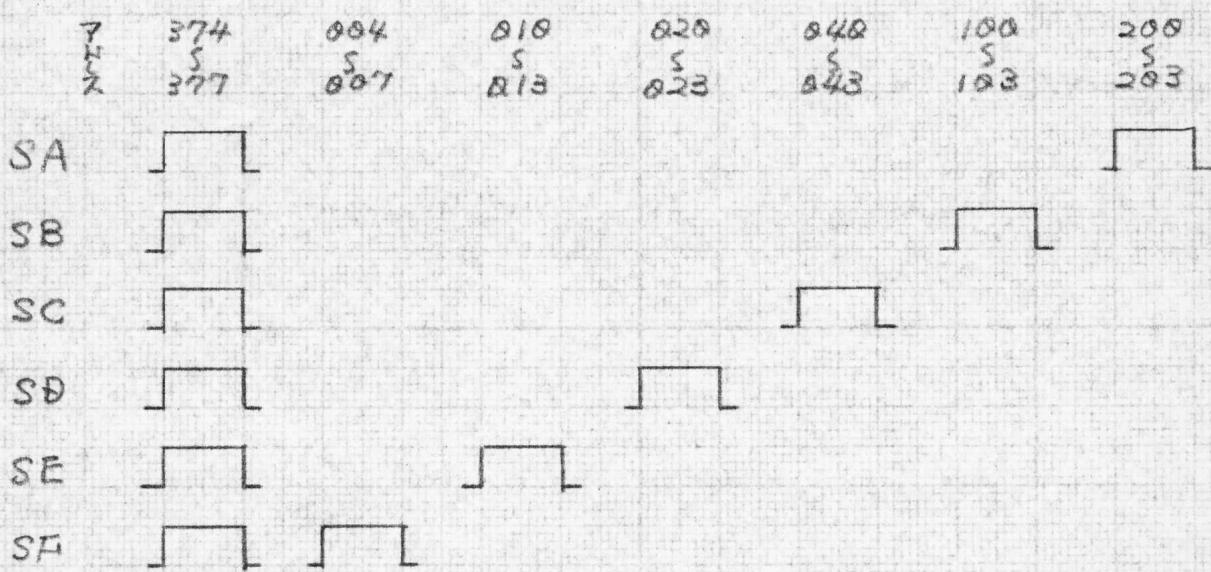


図 13. アドレス - キー供給信号

(1) OFF キャタリニグ、ON キャタリニグ 防止

キーを離したときに生じる キャタリニグによる誤動作、キーの波形(パルス)あるいは、キーを押したときに生じる キャタリニグによる誤動作 (キーを連續打した現象を呈する。) を全て防止する リフト的処理を行なう。フローラート No.1 003～002 直地
が、OFF キャタリニグ防止 フローラート 377～031 直地が ON キャタリニグ
防止 フローである。キャタリニグを防止するには、全キーのうち、
1つ 又はそれ以上のキーが押され2回以上かかるか、さらに押され
113 (2回以内) 時間は何 msec あるか、という事を判断、
計数する必要がある。

キーが押され2回以上かかるかの判断は、図13. にあります様に、
アドレスを 374～377 直地のいずれかに選択する事によって、全ての
キー供給線を "H" とし、1アドレスにて判断可能となる。
(これがこのキー入出力方式の回路的な意味の大まかな特徴である。)
時間計数については、汎用レジスタ Xc 3ビットを用い
リフト的に処理をし、専用のカウントは用いられない。この計数は
中1、中2 クロックを基準時間発生器としたものであって、通常
コンピュータで行なわれている 水晶発振器 または ワニシブト・スカルプトを
基準時間発生器とした (システムクロックは周波数を取るので、置換
用いる事が出来ない) 場合、WAIT、ルーチンがあり、特徴のあるもの
ではない。

キー無判定時、計数に同じ Xc を用い +1,+2 を行なう。113 時
キーの直りによって キャタリニグ防止時間が異なっている。これを避け
る方策はあるが、キャタリニグ防止時間はいくらにすれば良いか、
定めた値からくずす程度以上の時間 (パルス ... >10 msec,
キャタリニグ ... >4 msec) を保証すれば良い事、クロック発振器を
内蔵している為、発振周波数は大きく変動する車などから、この辺
が可としている。又、キャタリニグ防止時間については、リフト的処理
をしている為、ユーザーの要求に応じて自由にその時間をアコグらん
する事ができる。

(ii) 表示回路

演算中には、セグメント出力、ディジット出力とともに“L”レベルに固定し表示をマスクする。さらに表示中であっても、右詰め表示形式があるので、整数部の不要な“Q”はマスク（リーディングゼロ・サプレス）し、マスクされていける表示桁については、桁信号を出力する回路を組んでいる。又、ダブルディジット表示をさせている場合、セグメント信号と桁信号との間に相対的の遅れがあると、桁向セグメント表示のコントラストが悪くなるナラリキが起るが、これを防ぐために、桁信号のみに、かずかずのカウント信号を挿入している。

DP表示信号は、区別、出力から得ていいのが、表示中にCPUマターを使用していい事、論理ゲート数、レイアウト的に優有利の事、検査用テストパターン作成上、非常に有効である事等の理由によるものであり、その表示処理についてもソフト的に処理している。

(a) 表示階セット/リセット命令

従来NEC標準LSIでは、演算処理が終了すると必ずしも、
080番地に復帰し、表示を行なう3形式を採っていたが、
HPD940Cでは、従来ハードウェアで行なわれていたものをソフトウェア
に置換する事を基本方針としている（うなづみ、ロジックゲートを極力
ROMに集約する。）従来形式は必然的に残れない。又、
キー操作信号としてアドレス・ビット・ラインを流用しているので、アドレスの
冗長組合せによって表示/演算の切換を行なう場合は範がい。
その為、表示階というハードウェアが必要としている。（ラッチ形式の
階は、これ以外に、判定階のみ（即ち存在しない。）

セット命令---

 $\Sigma \leftrightarrow Z$

本章的にはNOOPであり、B6~B10が
ビットは、どの様なものでも可

リセット命令---

Xcti

キー・スタート後、キー・糖引判定に用
いる命令であるので、流用可。

$B4=1, B3=0, B2=0, B1=1$ であれば
他のビットは、どの様なものでも可

表示素子は、7セグメント・デシマルポイント付発光表示管を主対象とする。

端子	8	1	2	3	4	5	6	7	8	9	10,11	12	13	14	15
SA	○		○	○		○	○	○	○		○	○			
SB	○	○	○	○	○			○	○	○					
SC	○	○		○	○	○	○	○	○						
SD	○		○	○		○	○		○	○	○	○			
SE	○		○			○		○		○	○	○			
SF	○				○	○	○	○	○		○	○			
SG			○	○	○	○	○		○	○	○	○		○	
字 形	□	□	□	□	□	□	□	□	□	□	□	□	□	□	-
形	□	□	□	□	□	□	□	□	□	□	□	□	□	-	

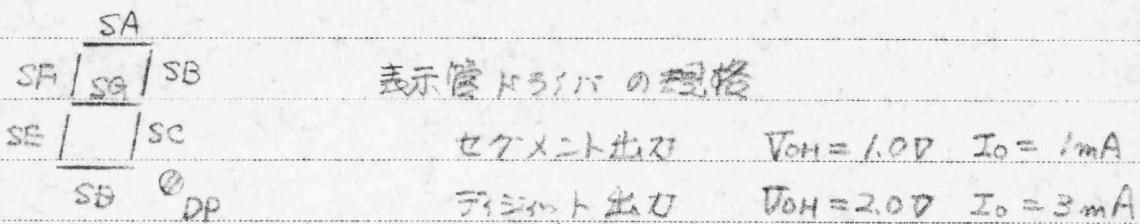


図14. セグメント表示

(ii) キー関係フロー

電源ON後、自動クリアがかかり、レジスタクリア、表示処理をリフト的に行なう。 $377 \rightarrow 030$ 空地向を行なうと、キー入力待ち状態。ストップ状態にある。キーが押されると $377 \rightarrow 031 \rightarrow 200$ 空地でONチャタリック計数を行なう。 $201, 004, 010, 020, 040, 180$ 空地のいずれかがリストアし、演算終了後未だキーが押されてない時は、 $374 \rightarrow 003$ 空地でストップ状態となる。キーが離されると、 $374 \rightarrow 002 \rightarrow 376$ 空地のOFFチャタリック計数(72-)を繰り返し、 $377 \rightarrow 030$ に戻る。キー有無の判別は、2ワード毎に随時行なわれる。

- ハウジング防止時間 20ワード (キーの如何に拘らず)
- ONチャタリック防止時間 6~9ワード

(d) タイミング・シミュレーター

タイミング・シミュレーターの構成の回路を次に示す。

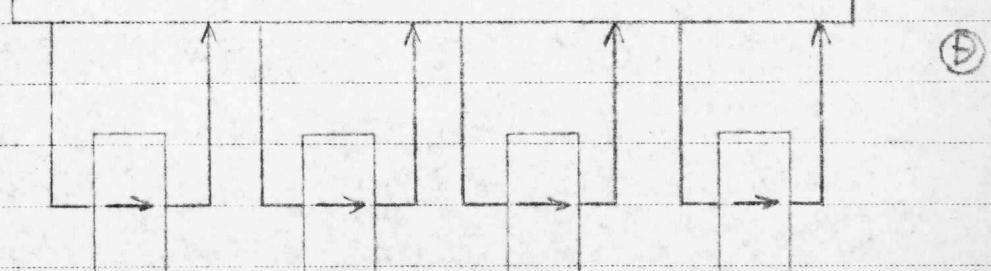
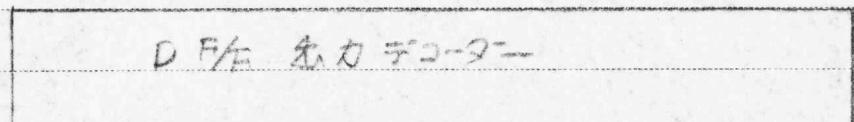
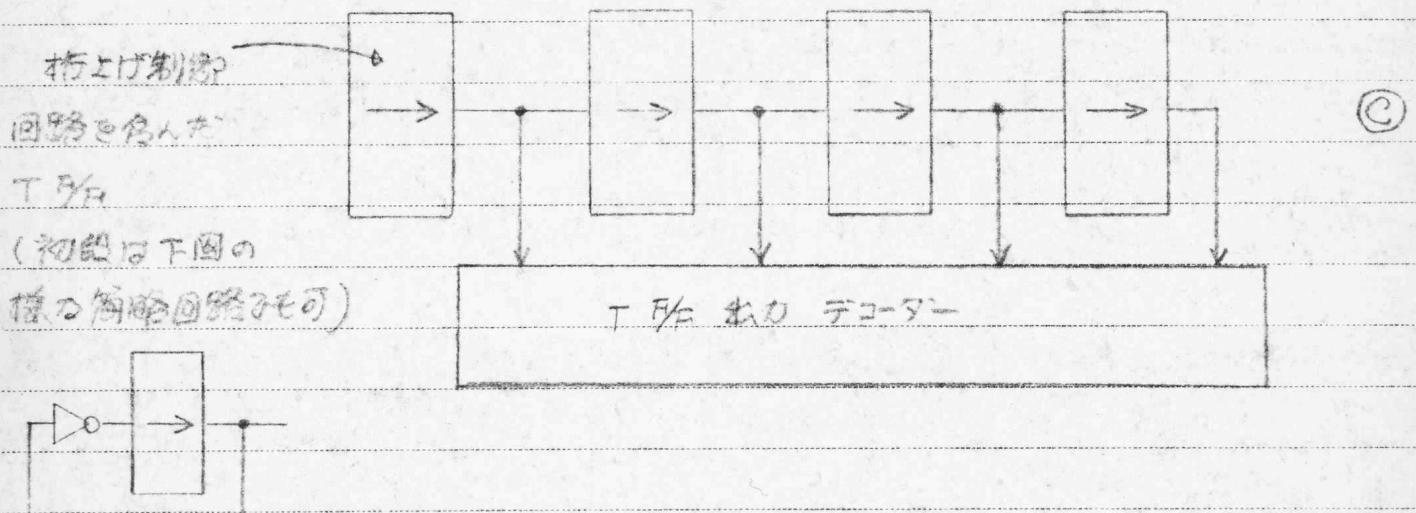
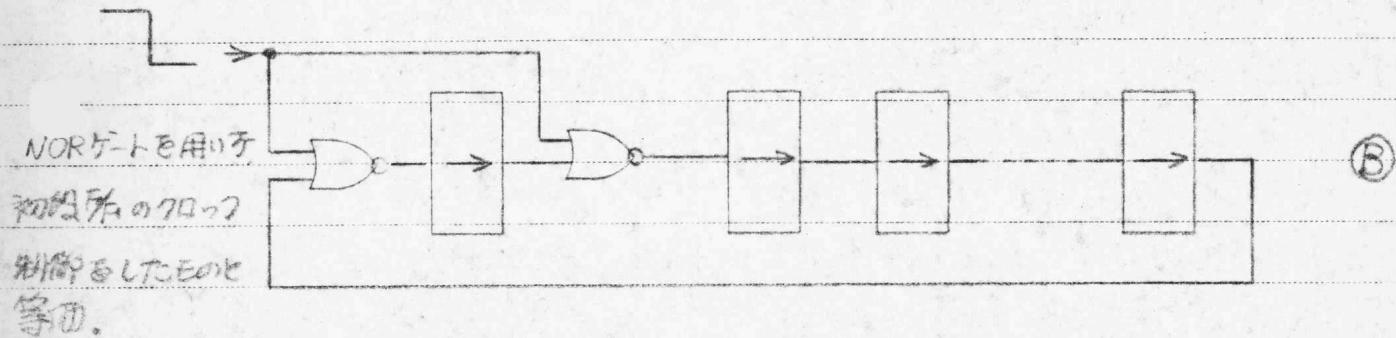
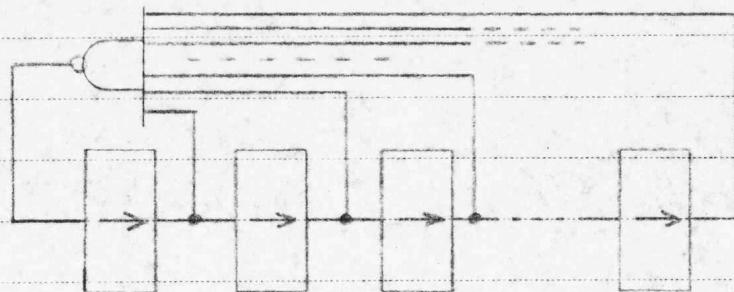


図15. タイミング・シミュレーター 各種回路

Ⓐ 回路は旧来 シャープ・カスタム品に用いられたもので、NEC
12MHz標準品 UPD281C, UPD282D 用のタミニク・シェニレータ
UPD262C にも使用されている。

Ⓑ 回路は カシオ・カスタム品 UPD17496 に用いられ、さらに NEC
NPD284C, UPD234C シリーズ品 に使用されているが NOR2 入力
高形として、魚鱗状波形のものを入力しないと正常な発振をさせ
確率が小さくなるという欠陥を持っている。

Ⓒ 回路は東芝カスタム品、日立カスタム品、最近のカシオ・カスタム品に
用いられている標準的な回路である。

Ⓓ 回路は ROM を用いたパキリ・カウンタ方式であり、NEC,
UPD274C, UPD277C, UPD735C に使用されている。D/F出力
デコーター、アーカイブ出力を持った ROM と D/F との構成され
小さい面積で作る事ができる。

UPD940C では、⑤回路と④回路を融合させ、1枚基板上で
回路を使用している。

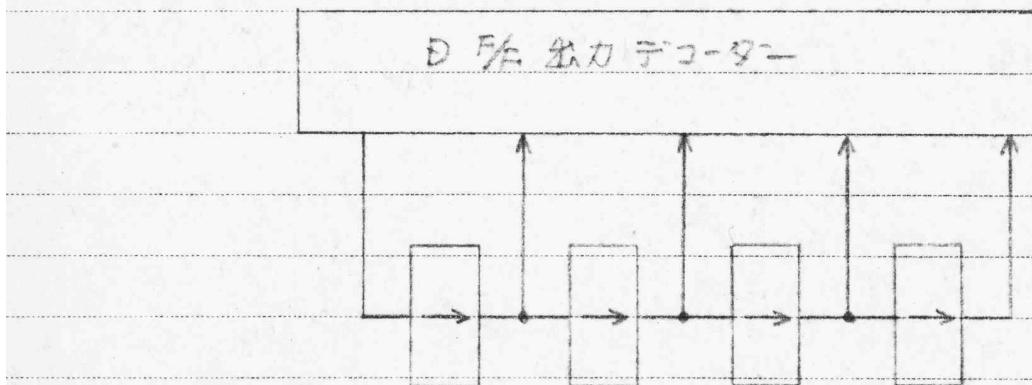


図16. UPD940C タミニク・シェニレータ(デコータ)

この構成になると、ROM 型のアードバッカが 1本だけで済み、レイアウト
的に便利になる。

ビット・タム・シェニレータ としては 出力が 4種類あるのと、Ⓐ回路の
回路を使用している。

(2) FD-4アート，演算形式

AAA [Z←Z] BBBB

AAA はアドレスを示し、 $(A_8, A_7)(A_6, A_5, A_4)(A_3, A_2, A_1)$ に区分しオフタル表記をしている。

BBBB は出力ビットを示し $(B_{10}, B_9, B_8)(B_7, B_6)(B_5, B_4)(B_3, B_2, B_1)$ に区分し、オフタル表記をしている。

次アドレス指定ビットについては、記載していない。

No.1 → キー入力フロー

No.2 → 置数フロー

No.3 → 数値左詰め、及ぶ演算前処理フロー

No.4 → 加減算フロー

No.5 → 無除算フロー

No.6 → 演算後処理、FW、表示処理フロー

No.7 → パ累数 FW ルート演算フロー

(1) 命令使用法抜粋

- ミダス 実質的に NOOP を表すので アドレス指定部のみを使用した無条件ジャンプ命令として用いる。

- Z←Z 実質的に NOOP。表示所セト命令として用いる。

- X≡10 アダルト 10進演算モードにしてレジスタデータをアダルトにハカルトにて可能としているが、"9" 以下の数値データ（-、L, E, カレスコードは 10以上）を左詰めで可3倍の操作判断に用いる。

- X-C C=1としたとき X=8 の判定とし C=4 としたとき X<4 の判定をす3重ができる。

- X+C この命令のときのみ、テレシット屋内のキーリー、出口-甲屋みはなく、絶条件のキーリー甲屋を行なう。演算割合フランクのビット判定に主として用いる。表示所セト命令とする。

○ $X \rightarrow RS$
 $X - C \rightarrow X$

○ $X \rightarrow LS$
 $X - C \rightarrow X$

記憶データの RS LS を行なうときには 小数点データ

の -1, +1 を行なう場合が多いため、1ワード毎に
に上記命令を同時に実行される。さらに "C" とに
1, 2, 4, 8 の定数が任意に選択され、演算中にミスクと
しては、X, XC, XS のいずれでも良い車から、
演算回数制御を同時に行なう事も可能である。

○ $\Theta \rightarrow X$

前のレジスタ状態を変化させて "C" を置換する
する命令である。

(例) $xc \quad 001 \quad \Theta$ のみセットすればいいときは 固キー

が押され Θ フラグをさらに立てたりと

$\Theta \rightarrow xc$ とすると $xc \quad 011$ となる。

○ $C \rightarrow X$

前のレジスタ状態をクリアして改めて "C" を置換する
命令である。

表示用かセットしている状態では $\Theta \rightarrow X, C \rightarrow X$ は、キー信号有無
の判定命令となる。

(b) 演算時間

従来より、マイクロプロセッサ方式の最電は、演算時間と短縮する様
なハードウェアを使用せず、1ステップ毎に命令を読み出し、実行に
いく為、演算時間が遅いといわれているが、演算スピードを犠牲に
して、ハードウェアを少なくてした ハードウェア方式最電よりは UPD940C
の演算スピードは高基である。 UPD940C は、数値表示処理、
DP 表示処理を、リフト/マスクを行なってからにも拘らず、NEC 8080
標準品 UPD271C, UPD274C, UPD277C のいずれよりも、
演算速度は遅くなる。(2112)

次ページ 図17 参照

mSec

700

600

500

400

300

200

100

20

30

40

50

60

70

80

90

100

CLOCK KHz

1/7 UPD 940C

クロック周波数 一演算時間

1---999999999 ✓

2---99999999 ÷ 0.000001 %

3---0.0000001 × 99999999 %

4---2 ÷ 3 =

5---2 × 3 =

6---2 - 3 =

7---2 + 3 =

8---置数, D.P.

2
3

4

5

6

7

8

(F) 総括

(i) 動作周波数

加減乗除計算の計算時間は、 $f=40\text{ kHz}$ としたとき 0.3 sec 以内に收まる。従って最高動作周波数は、 100 kHz 程度あれは充分であるので、過剰な回路構成を取る必要性はない。

従来、NEC 標準品では、ROM アドレス・レジスタの読みみクロックを $T_{LAST} t_2$ 中に疊せ（ $T_{LAST} t_3, t_4$ のレジスタ・データは使用不可として）実際に ROM 出力を使用するには T_{LAST} カラであるのを、その内 2 ビットの ROM 出力の遅れが生じても、考慮としては動作周波数に設計されていた。さらにアダルトスイッチ信号発生回路についても、1 行を早く発生させ（ROM 出力高電位時 1.5 ビット余裕）その信号を 1 行遅れを持った形で重ね、波形整形をする回路を組んでいた。ところが実際には動作周波数の上限を決めていた要因は、クロック・バス部分、クロックゲートを使用しているものは、クロック・ゲートのレベル不良、クロック・ゲートを内蔵しているものは、その駆動上限周波数、その駆動波形形成（クロック幅、両端）、クロック関係配線・レイアウトの不備、等にある。又、レジス・ROM を使用したものについては、サンプルで t_3 ディス・チャーブを 1 ビット毎に行なうと、ROM 出力は 1 ビット毎に更改され、ROM 出力に対して、数ビットの遅れ余裕を持たせる意義は全く無い。

以上の様に、スイッチングに対する従来の設計では、多少実際と矛盾する点がある。MPD940C では、標準周波数が他の半モードあり、上記の問題は解消している。

- MPD940C では、スイッチングに対し次の様な配慮をしている。
 - ROM アドレス・レジスタ 出力を $T_{LAST} \cdot t_2$ 中より出力し、実際に ROM 出力は T_{LAST} カラ使用可能にして ROM 内部（インバータ 2段、ホワニ配線）が最も、負荷 NOS の「L」が大きいので立ち下り遅れが大きい）との遅れについては、0.5 ビットの余裕を持たせる。さらに立ち下り波形の立ちたた ROM 出力を直接ゲートに配線し、さらに遅れを大きくさせる事を無くする、ROM 全出力端に波形整形用

1段バッファーを挿入する。(以上の措置を取れば、150KHz程度まで充分動作するといふコンピュータ・シミュレーション結果で、製設・飯向氏より得ている。)

- クロック・ジェネレータの発振形態について、中₁-中₂、中₂-中₁、クロック周期を1.5nsec程度にせばめたクロック・ジェネレータを使用する事によって、クリカクル・バス部における遅れ余裕を大きくする。
- その他、レイアウト配慮。

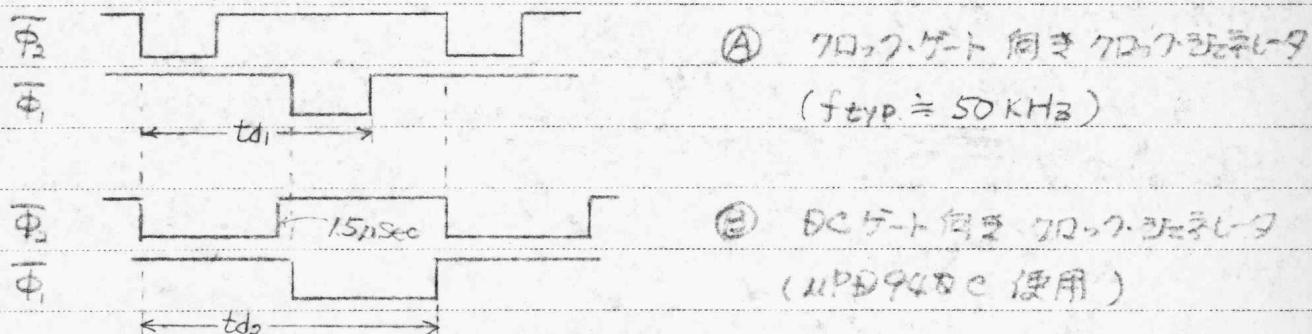


図18. 各用途向けクロック波形

信号は中₂を駆動し、ゲートを通して中₁によってレジスタに読み込まれる。従って、信号の遅れは、(1)の場合 t_{d1} 、(2)の場合 t_{d2} 期間は許容される。 (3)の波形であったクロック・ジェネレータを用いた方が遅れ余裕は大きくなる。(実際には、中₁が信号を伝達する時間も加味せねばならないので、図の t_{d1} 、 t_{d2} は多少、短くなる。)

(ii) クロック・ゲートの使用に関して

クロック・ゲートの使用目的としては、消費電力削減を想ったものと、ゲート数を減少させ目的を持ったものがある。NPD948Cにおいても、一部にクロック・ゲートを使用しているが、これは後者の目的を持つ。その内容は次ページ 図19. に示す。
 1) 対的にせよ、ヒット單独でゲートを用意するデータ・バス部分にクロック・ゲートを使用した場合には、動作周波数上限を決定する要因となる。さらに、使用回路数が元素高く、中₁ON状態の時に、

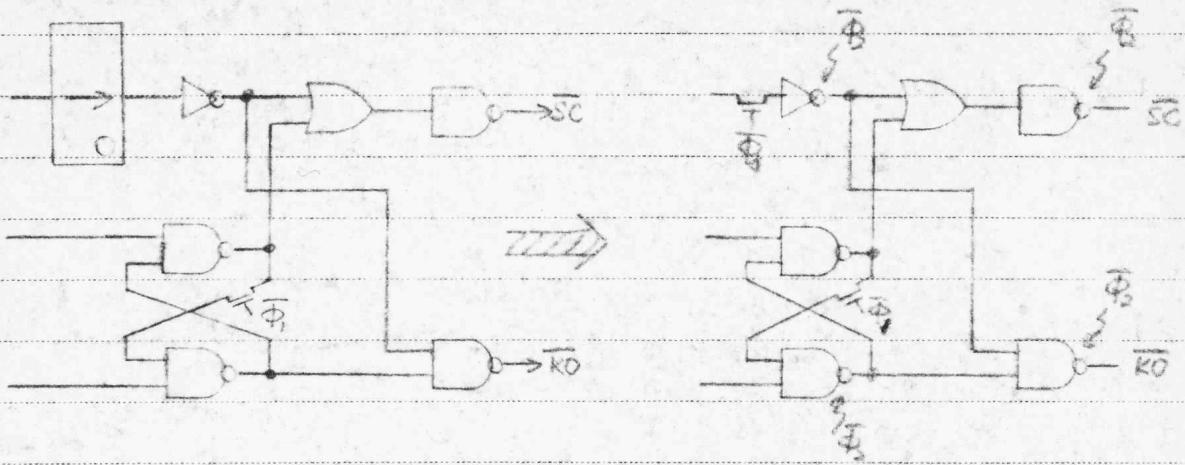
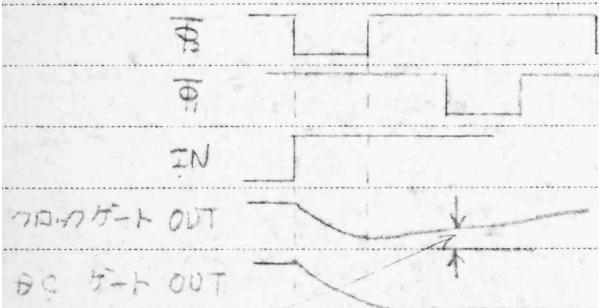


図19. クロック・ゲート化によるゲート縮少 (UPD940C回路図参照)

電源電圧レベルに満足しない場合には、 V_{DDmin} を決定する事になり、結果的に、も クロック・ゲート化による消費電力削減の効果が充分果せなくなる。(図20. 参照)

入力信号がビット串で入る時、1ワード程度の幅の範囲、入力される様な所、あるいは 同様に、長い期間同じレベルを保つ信号を取り、その信号のレベル変化後、数ワード程度の遅延余裕を持つ回路には、も クロック・ゲートを用いても、電源動作周囲、最高動作周波数に余裕をもつ回路は、2倍以上大きくなる。(UPD940C では、図19. にある様に、この類の回路にのみ、も クロック・ゲートを使用してある。)

図20.



この構造は、次の二つの

理由により、ローレベルが
多くなる。これで補償する為、
VDDを上げ、等価的に左端を
抜けた形を取るに等がある。

図21.



入力信号変化 1ビット目には充分かと

アマガセモ、2ビット以降子 フル・キャシ
でされば、その子と

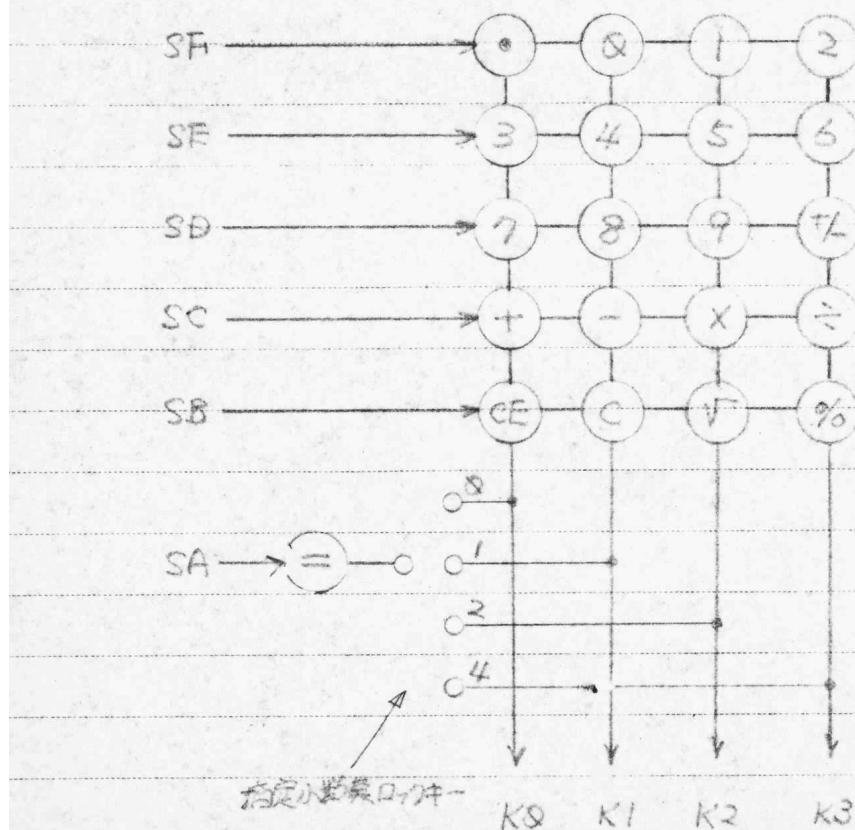
(iii) 紹介変更

前述した様に、ROMメモリ一部トランジスタの位置変更のみで複数の紹介変更を容易に行なう事ができる。

UPD940Cを基準として、スペック・タウニした品種として、UPD941C（四則、%計算）、UPD942C（四則、 \sqrt{x} 計算、π選択）、加算機式真数 UPD943C、シーカ方式仕様を満足した UPD921C を順次開発し、今後ある予定である。

以上の品種みは、ロック式キーを使用しているが、図22.の様にキー接続線を行なうは、キー入力を想設せずに、ロック式キーを装備する事である。

図22. 指定小数点ロック式キーを装備した例



[3] モックアップ (フレッド・ボード)

回路設計者が期待した通りの回路機能を果していいか、卓電位値を満足する様に、フローチャートが作成されたりとか、実際に個別部品、SSIの回路を組み確認をする為にモックアップを作製する。モックアップの調整には、システム、回路を理解する必要があり、その習熟度の違いにより、調整に要する工数が大きく異なる事となる。

モックアップ用回路要素として、SSI を用いる場合には、次の通りで基本としてワイヤード・オアを多用するとの使用 SSI 個数、負荷駆動本数が減り、デバグ時に生ずる回路変更の手間も大きく省ける事となる。さらに LSI 回路回路とモックアップとは、論理的に等価であれば良いので、モックアップ縮少化の為に、LSI 回路に対し、様々な論理変換を行なう事は全く差支えない。

図23. 基本素子

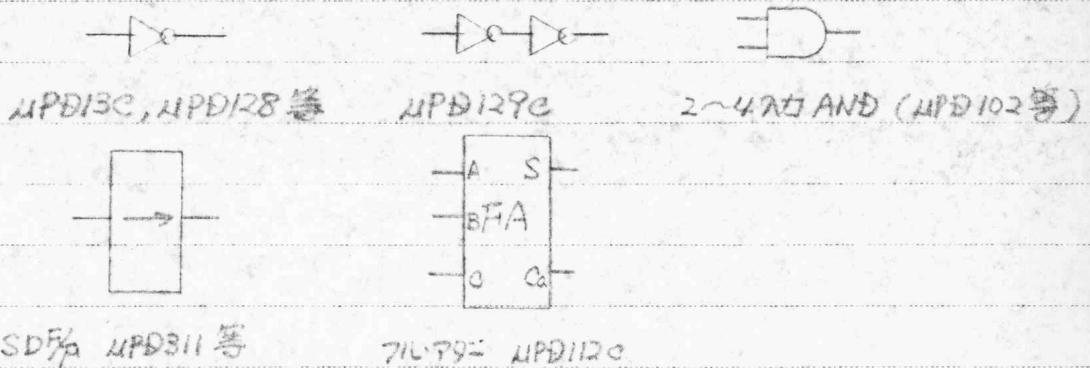


図24. LSI回路回路 \Rightarrow モックアップ回路 変換例

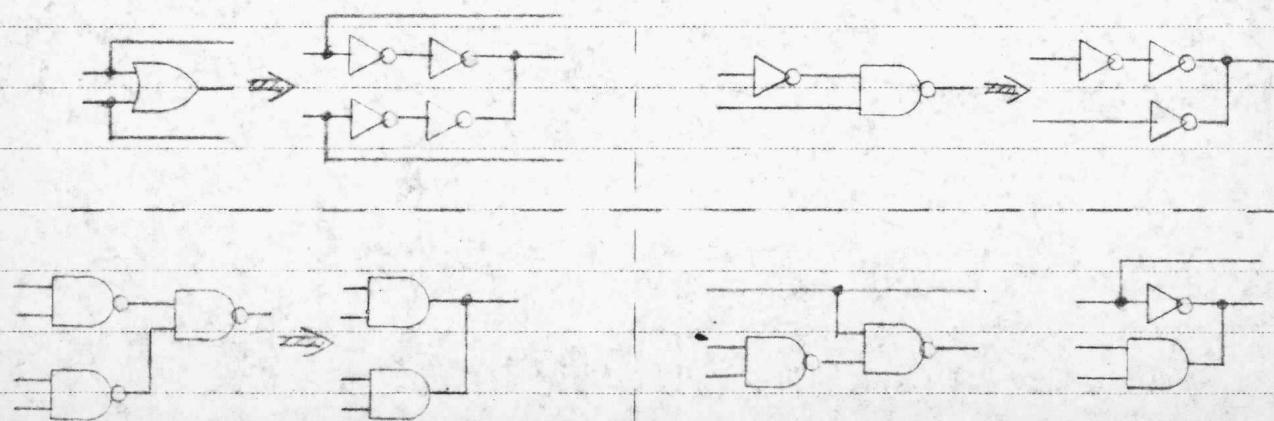
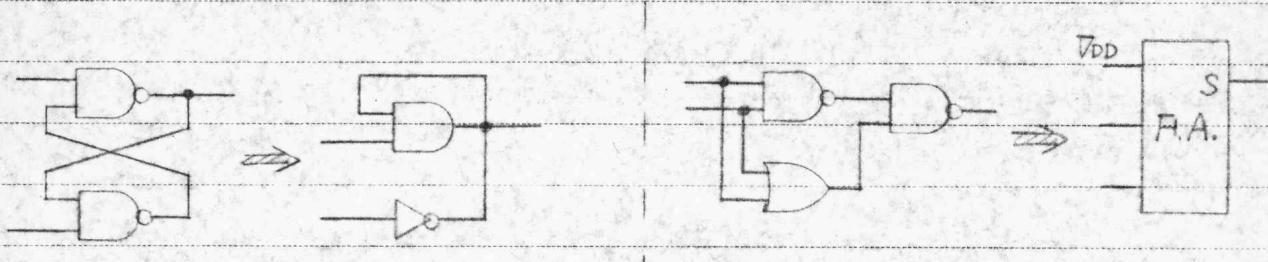


図27 続き



モード・アローの調整を容易にする為、デバグ用回路を作製する。

- 複雑回路、レジスタ交換が ROM から出される命令通りに動作する事を確認する為、ROM 出力コードをスイッチによって指定し、スタート・キーを押す事によって、1 ワード期間のみ、命令が発生する様にする。
- ROM のアドレスをスイッチによって指定し、その ROM 出力ビット、及びアドレスを表示する様にする。
- フローチャートのデバグを行なう為、スタート・キーを押す事によって、1 ワード / ステップで命令を実行させ、命令を実行したアドレス、及び ROM 出力ビットを表示させる。

以上の内容を実現する回路を構成する事によって、調整作業が能率的になり、且つ、LSI化する際の ROM コード確認が非常に容易、且つ確実なものとなる。

(4) コンピュータ・シミュレーション

卓上に使用されるコンピュータ・シミュレーションには、演算、レジスタ交換、判定等の命令の内容及び、レジスタ想換を記述させ、レジスタ・データ、フローチャートを入力させる事により、フローチャートの良否確認を行わせるシステム、シミュレーションと、論理回路機能を記述せし（機能検査）その入力端子に信号を入力させる事によって、機能確認を行わせるロジック・シミュレーションの 2 種がある。ハードウェアの機能が確認され、期待した命令が実現可能となるた場合において、フローチャートのデバグをする事が

システム・シミュレーションを行う事は有効であるが、測定機能を確認する為の測定例は数多くあり、これ等を全て、シミュレーションのみで確認する事は、車両機器使用面倒、確認作業工数の点からみて実際的では無い。さらにロジック・シミュレーションのみで行う事は、システム・シミュレーションの場合以上に非現実的であり、結局モックアップを作製した方が手取り早い。モックアップを作製して回路検査は機械の確認を終了したのであれば、コンピュータ・シミュレーションを行なう必要が無いのをあきらめ、ラジタム・ビット・パターンか、テスト・パターンを作成する場合には、ロジック・シミュレーションを行なう事に比べ、パターンを発生させるは豊かである。又、換装車両向の各に先に設定されたテスト端子の機能を確認する事の後に、接続情報を作成し、ロジック・シミュレーションを実施する必要が生ずる。ロジック・シミュレーションによって回路の欠陥を認めた場合は、前述した様に堅めしく、テスト・パターンを作成していく過程で、徐々に確認をしていくは無い。そこで、車両機器確認の各のシミュレーションは、行なう必要は無いと結論し、MOS 940C では行なっていない。

但し、テスト・パターン作成用として、ロジック・シミュレーションは、不可欠、且つ有効な手段である事は言うまでもない。

5) 検査用テスト・パターン

ここ3、4年の車両用 MOS LSI の急速な進歩により、車両の入出力、演算、制御、記憶の回路機能、さらには周囲表示デバイスのドライバ等を含め、車両の全機能を、一つの LS2 チップ内に集積できる様になった。必然的に LSI に集積されるトランジスタの数は 2000 ～ 1 万個（大容量 ROM を含むものは 1 万個以上）と膨張し、これらのトランジスタ毎を操作する配線部 又は、トランジスタそのものの箇所を判定するテスト・パターンの作成、あるいは、その作成に要する工数を削減し、且つ、故障検出率の高いテスト・パターンを需られる様による回路設計（有効なテスト端子の設定期又は、システム全体を考慮した論理回路設計）が、LSI の検査、設計する上の重要な一環となりつつあると言える。

ではない。

現在 NEC で行なわれている テスト・パターン形式には SSI 時代より
使用されている ランタム・ビット・パターン形式と、2年前、8行×メモリ専用
として開発された UPD271C に初めて採用された 実装方式テスト・パターン
の2種がある。この名々の形式の特徴、優劣は次の様なものとなる。

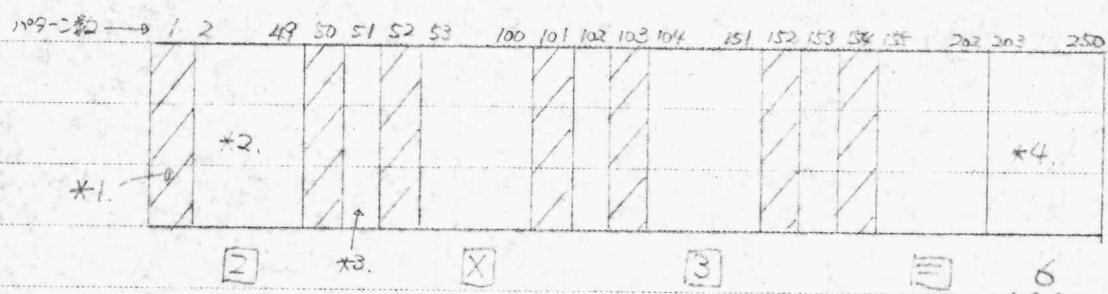
(a) パターン容量

MOS LSI 検査用 IC テスターにて用いられている MH-134C, MH-200
テスターのテスト・パターン記憶容量は、4096語 (MH-134C... 1語48ビット,
MH-200... 1語52ビット) であるので、使用パターン数は、この値以下に
制限される。

(i) 実装方式

実装試験と同様に $2 \times 3 = 6$ の様な複雑をさせ、演算結果が
“0”とされば、良品であると判定する形式のものである。

キー入力に相当するパタン、演算結果を判定するまでの待ち時間で
指定（即ち 同一パタンのくり返しパタン数、又は くり返し回数を
パタン内に書き込まれた値によって ミニコン のマクロ命令ルーチンを
制御する。）するパタン、演算結果の出力判定をするパタン、以上
3種のパタンを記憶させただけでなく、パタン数だけ、錯かいものもある。



- *1. [square] キーを入力させるに必要なくり返しパタン数 又は くり返し回数を指定したパタン (1パタン)
- *2. [circle-cross] キーのキー入力に相当するパタン (この例では 1周期 48ビットタイムとする)
- *3. キーを押しているときのパタン (1パタン)
- *4. 演算結果を見るパタン。このパタンのみ 良否判定を行われる。

図28. 実装方式テストパターン例 ($2 \times 3 = 6$)

図28. 下示す様に 250 パターン分記憶されれば良い。このヨリの形でランダム・ビット・パターンに置換すると、数万パターンを要し、実現不能である。

(ii) ランダム・ビット・パターン

1クロック・サイクル毎に多化するパターンを使用するものである。その為前述した様に実現の複雑度を増せ、しかも 4096 パターン以内に納めき事は、不能である。実装方式では、最終的に演算が正しくでききかみき事のできるが、ランダム・ビット・パターンでは、個々のゲートには目して ROM 命令が正しく実行されていいが、ROM 出力は正しいか否、より細かい部分の箇所を判定する形を取る。この為に、後に記述する様に、有効なテスト端子を設定する必要があるが、テスト端子の設定が有効でないたり、ゲート数が多く、且つ、ゲート間の関連が複雑かつ多くの箇所多くある場合には、4096 パターン以内で故障検出率を高くする事ができない場合が生ずる。

(A) テスト時間に対する故障検出率

(i) 実装方式

$2 \times 3 = 6$ の様な演算をさせると、数万クロック・サイクル・タイムを必要とし、長い時間を使う事が、置換、乗算、除算にかかる限りられた ROM、RDU 命令の実行時間も為、検出率はさほど高くなり。その為、さらに加減算、除算ルート計算等のパターンを追加して検出率を高めようとするが、相互のパターン内で重複する命令（既に故障検出が成功したゲート）を数多く含む事となり、テスト時間が長くなる割に総合的な検出率は高くはならない。

(ii) ランダム・ビット・パターン

ROM アドレス・リスト、ROM トランシスタが正常に動作しているかどうかを検出する ROM 検査用テストパターン、ROM から出力する、リスト交換、複算等の命令が正しく処理されているかどうかをみる。ランダム・ロジック検査用テストパターンの 2 種を、用途に応じて、ビット・タム、ティミング・タムを縮小したりして、作成する。この為、短かいテスト時間で、故障検出率の高いパターンとする事ができる。

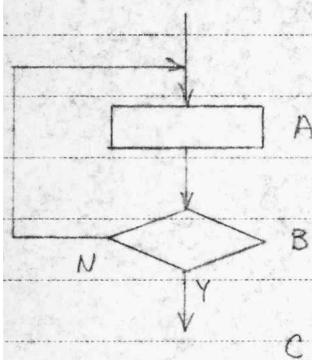


図29.

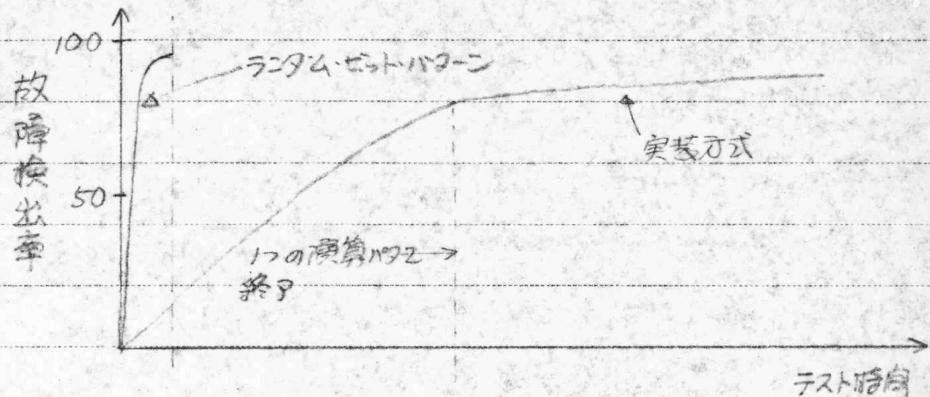


図30. テスト時間 対 故障検出率 概念図

図29の横たわる閉ループを描くフローは卓電フローチャートには随所に出てくる。実装方式では、A→B向を実際に判定所かセットするまで繰り続ける。 $7.1\text{ワード} = 48\text{ビット(例)}$ といふ時間で短縮する手段を取らなければこの閉ループを実際に8回まわったとすると、このフローから抜け出すまでに768ワード・サイクル・タイムを費やす。しかも、この閉ループを保用コネクタで接続に接続する事あれば、この期間、検出率ゼロといふ事になり効率の悪いパターンとなり3集になる。ランダム・ビット・パターンでは、ROM用パターンで、 $A \rightarrow B \rightarrow A \rightarrow B \rightarrow C$ とアドレス制御し、さらに、A,B,C実行命令と引数命令でランダム・シーケン用パターンで実行、検出すれば、早く、短く、効率の高いパターンとなる。(アドレス・ステップで1パターン・1ワード)多くの事例をみれば、上例は5ワードで済み、さらに効率が増す。)

(e) パターン作成

(i) 実装方式

テストパターンをデバグするには、最終的には良品サニフルが無いと行なえない、テストパターン作成が時期的に遅れる可能性がある。パターンを独立化する際、マニュアル不行なわけにはならぬ筈、案内工場的な感あり。

(ii) ランダム・ビット・パターン

ロジック・シミュレーション結果によて発生させるか、高级情報の4つ、パターンのデバグに多くの工数、電算機使用時間が必要とする。

(d) クリアパターン

(i) 実装方式

通常実装状態と全く同じ形式を取れば良い。

(ii) ランダム・ビット・パターン

クリアパターンについても 1ビットタイム = 1パターンの割り合いで、パターンが消費されると実質検出率に無関係なクリアパターンをあまり長いパターンとする場合はコストが高い。電源を ONさせたとき LSI内部のレジスタ、門の状態は 1/Q どちらかに倒れ、その倒れ方は不定である。コンピュータ・シミュレーター結果より作成したテスト・パターンは 門の初期状態を 1, Q どちらかに限定として作られてはいるが、この初期状態がデバイスの状態と異なるとデバイス出力とテストパターン予想出力が一致しない場合がある。この為 テスト・パターンを走らせる前に全ての門の状態を 1 对 0 にクリア（初期値決定）する必要があり ランダム・ビット・パターン形式では このクリアパターン（Don't care pattern）がテスト・パターン（care pattern）の前に付属している。

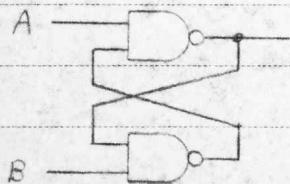
(e) テストパターンに起因する歩留り低下 (ランダム・ビット・パターン) (つづき)

(i) クリア・パターンの不良

クリア・パターンにおいて 1個所でも、初期値決定のなされたい門が存在すると前述した様に良品を不良と判定する場合がある。品種においては クリアパターンが不良であるても、レイアウト的な要素によって 1/2 の倒れ方がどちらか一方に片寄り過剰的に大きな歩留り低下となる事でクリア・パターン不良を発見できる場合がある。

(ii) 誤差回路に関する色々

奥蔵状態とは A, B 入力が同時に "L" → "H" になる事



であるといつて設計しても、タイミングを緩和してテスト・パターンを作ったとき、"L" → "H" の状態が起きる場合があり、門出力が不定となる。その出力状態については良品を不良とする事となる。A, B 入力信号にヒケが生じる場合も同様である。

図31.

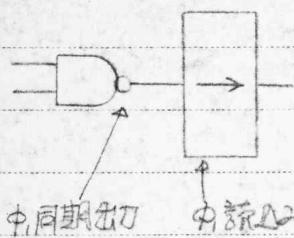


図32.

左記の様な回路はも実装せば誤動作をぬいても、テスト・パターン作成上、都合が悪い。データ誤れり
に対して、中クロック側のデータ遅れいか許容されない事

さらに、レジスタやレシオレジス構成の場合、「D→H」への
遅れか少しでもあれば、チャージが逃げ、誤動作し、良品であっても、テスト・パターンが通らなり」という不可解る現象を

[UPD948C シリーズ品のテスト・パターン]

主に ROM 以外のランダムゲートの故障を検出する事を目的としたパタン (パターン名 A948) と ROM アドレス・レジスタ、デコーダー、メモリ部の故障を検出する事を目的としたパタン (パターン名 B948) の 2 種を作成する。

テスト用入力端子として 2 ピン (CH1, CH2) を用意しており、次の様な用途に用いられる。

① 48 ビットの層層を持つデータレジスタを 16 の 24 ビットにタイピック化して明確に区分し、各 24 ビット毎に独立の演算をさせよ。(A948, CH1)

② 演算中であっても X レジスタ全航行セグメント・デコーダを行って出力されよ。さらに、X レジスタ全航行をシリアルに、DP 出力端子より出力せよ。(A948, CH2)

③ アドレス・ステップをフローチャートに従って往復に行なわせよ。判定効力を反転させ3事も可。 (A948, B948, CH2)

④ ビット・タイム・シェネータ、ディレクトタイム・シェネータのクリアを行よ。(A948, B948, CH1)

⑤ ディレクト・クロック、ワード・クロック制御を行なう。(B948, CH1)

アドレス・ステップに対して变化をつけ方法として ③ の方法と、フローチャートを使用しない場合空きアドレスを、アドレス・ショニニア用として使用する 2 種の

方法をとつてゐる。

(1) ROM 検出用テストパターン (B948)

ROM 関係に使用されてゐるトランジスタは約 3000 個ある。ROM 出力 19 ビットの 35 次アドレス指定出力 9 ビットを除く、ゲート制御出力 10 ビットを含むセクメント、あるいはデータ出力端子より並列に出力させ、⑤ のテスト端子操作によつて、1~2 パターン = 1 アドレスの割合で 3 パターンを作成してゐる。この島、700 パターン程度の短かいパターンで 100% の検出率をあげる事ができる。

(2) ランタイム・ゲート検出用テスト・パターン (A948)

前ページ① にみる様に、1 ワードタイムで 1 行に縮少させた 3 車か 3 ビットのレジスタ内容から、アダーブ処理したいデータを選定する島のデータ出力信号取引 $T_1 \rightarrow X_1, T_2 \rightarrow X_C, X_S, T_3 \rightarrow X_L, T_{10} \rightarrow X_H, T_{11} \rightarrow X_T$ 及びワードワード選択用の T_{12} は消去短縮する事はできない。従つて T_{12} タイムに CHT テスト端子にアクティブ信号を入れる事によって $T_4 \sim T_9$ の 6 ビットの数値データ部 6 行分を短縮し（データ出力タイムは $T_1 \rightarrow T_2 \rightarrow T_3 \rightarrow T_{10} \rightarrow T_{11} \rightarrow T_{12}$ の如くな順序で発生する。）検出率を落とす事なく、パターン数を短縮している。パターンを短縮した分だけ、故障検出率を高め 3 車かである。従来、セクメント・データ部の故障については、 $\frac{2}{3}$ 程度しか検出されていなかったが、μPD940 では 0~15 の全ての数値をレジスタに入れる事によって 100% の故障検出を可能にしている。

テスト・パターン 2 は本質的に検査し得る回路が 2 個所あり、実装不良の主因となるものと想われる。

- ① 自動クリア輪廻回路 … 自動クリアがかかるまでの故障
- ② クロック発振回路 …… 自走発振しない故障

[6] レイアウト設計

UPD948 のレイアウト回の横幅は、3ペーンシステム構成回とはほぼ同一である。このレイアウト設計により、ペレット・サイズの最終的に決定される。 UPD948 は、No.15 フローワー設計標準による半回路レイアウト、量産品であるため回路設計例であり、かなり多量の空地を駆逐に出したが、短期間に設計を完了する事、大きな威力を得た。

No.15 フローワーでは、ドロニ同蔵が往表の 104 オリ 7.5H と可譲が予定され、有効ペレット・サイズを小さくする事ができる。以下その具体例を述べる（次ページ）

① マトリクス方式レイアウト

横方向の寸幅少々予定、負荷 MOS 2ペーン 10mm ピッチと 8.5mm ピッチとなる。負荷 MOS 橫方向は、コントラクト・ホールとの間隔分のみ小さく予定され、縮少に大きな寄与はしない。

② ROM

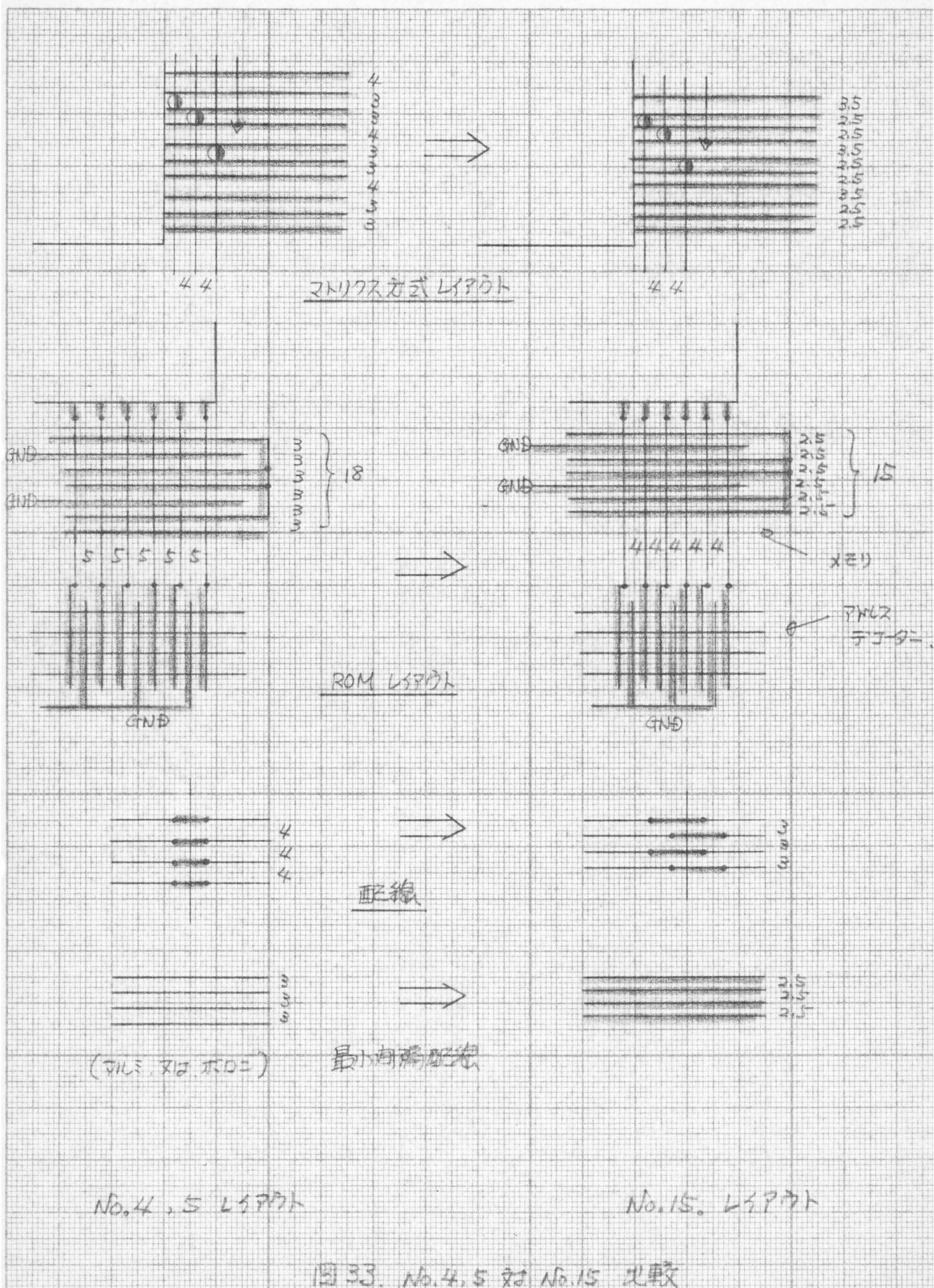
アドレス・デコードとメモリー部との間隔もあり、2方向とも縮少でき。行アドレス・デコード出力 64 本、列アドレス・デコード 4 本 ROM 出力 19 ビットの容量を持つ UPD948 の ROM を No.5 レイアウトで設計すると $(5 \times 64) \times (18 \times 19 + d)$ 。 No.15 になると $(4 \times 64) \times (15 \times 19 + d)$ となり横方向 64mm^* 縦方向 57mm^* 縮少予定。 No.15 レイアウトを採用した場合、ROM における面積縮少率が他の回路に対して非常に大きく、UPD948 の ROM 集約化という基本設計思想と合致し、ペレット・サイズ極小化を可能とした。 $(\times 200\text{の面積})$

③ 配線

一部の限られた箇所にのみ使用されるので、全般的にみれば配線部での面積縮少は微々たるものである。

その他、ファンクション・ブロックについても横方向のみ縮少される。

No.15 レイアウトにおいて、200倍面積上で“半目盛り”は常に存在し、原因デシケータの能率が落ちる事が考えられるが、その為に、フローワーの重ね合わせでしなりという対策をたててみると殆ど効果が無い事は明白である。



(1) MPD940C のレイアウト

レイアウト上の留意点について列挙する。

- ① V_{DD} 及び V_{SS} 、'L' レベル オリモ 'H' レベル のマシンが走るのをマトリクス・レイアウトを用いる事もあり、 V_{DD} オリモ V_{SS} を優先してアルゴリズム配線する事。
- ② クロック配線については、複数アルゴリズムを使用し、ボロードを用いる場合は抵抗が小さくなる様に配慮する。
- ③ 内部領域から、外部端子への配線に占める面積が大きくならない様にレイアウトする。(ペレット外縁部での配線は、内部配線に比べて大きな面積を必要とする。)
- ④ 従来 ROM を使用した品種では、ROM メモリー部に占める回路のアドレス・レジスタ、データ・配線の部分の、ROM 全体に占める面積が大きく、且つ、レイアウト上での“まとまり”がなかった。回路設計段階よりこの点を配慮している。
- ⑤ マトリクス方式レイアウトを主とし、ファンクション・ブロックは、744かく、バス部となる加算器等の周辺回路に使用する。
- ⑥ エクスパンダ・ゲートを活用し、そのゲートとしては、庫体トランジスタ、ブロックを使用し、一般回路レイアウトにみる所と空隙部に配置する。

レイアウト設計は設計の統合的なる意味合いが強く、システム、回路を設計し、それに熟知した者が行なう事が全ての点で好ましい。

8 手卓電 ニャーフ EL-8000 (¥10900 宣伝中) に使用されていふ
日立製 LSI TD3623 について比較してみる。

	ペレットサイズ	消費電力	チップ	端子数	演算仕様
TD3623	4.94 × 4.96 mm	約 30 mW	Pch. Si ゲート型	40 ピン	可
MPD940C	3.78 × 3.80 mm	25 mW	Pch. Al ゲート型	28 ピン	優

トランジスタ名	使用個数	2層渡 直結MOS数	1層渡 直結MOS数	総トランジスター数	トランジスタ名	使用個数
NAD1	3	3		6	1層直結MOS	198
" 2	3	3		9	2層	10
組 " 3	2	エクスパンダ 接続用	1	7	1層MIMOS	840
ア " 4	1	1		5	体 ROMXEN-8B	2270
白 NOR2	2	2		6	ト 2層MIMOS	19
セ GA2	2	4		10	ラ 3層	3
フ " 5	6	6		24	ニ 4層	3
フ " 6	2	2		10	ミ 6層	4
17 COCG	7	14		49	タ 8層	5
三 DBAA	23	エクスパンダ 接続用	45	137	。	。
二 SDAE	6	18		54	ロ	
一 SDAE1	8	16		56	7	
五 DYNM	4	4		12	7	
CLGN	2		4	14		
CGOS	1	11		23		
CGDE	1	11		24		
CGDR-S	2		18	32		
ROMBO	19	38		76		
ACI	1	2	3	14		
BUF01	8	8		24		
BUF02	9		9	27		
BUF03	2	4		8		
KEYIB	5	10		25		
レジス、レジスタ、20×2ビットレジスタ、入出力IF-2P、自動制御論理回路7D-2(AC2)を 除いた 純粹な論理ゲート数は、365 ハード セル。	140		280	1384		

図.35. 使用 MOSトランジスタ - 量

⑦ 今後の展望

販売価格が1000円を割っても採算が取れる卓電用LSIを生産する機会となり、卓電設計生産技術も飽和感に近づいた感じがあり、今後は 安値を維持しつつ、より高級な複雑仕様を求める方向に進む以外にない。従来 生産効率主義、ニア拡大主義を押し通してきたが 今後、不足が深刻化し、需要も停滞すると考えられ、この際 知識集約化をはかり、ポスト卓電、マイクロ・コンピュータ等について、参考する時期に来ていきものと思われる。

今後の卓電の進む方向について列挙してみる。

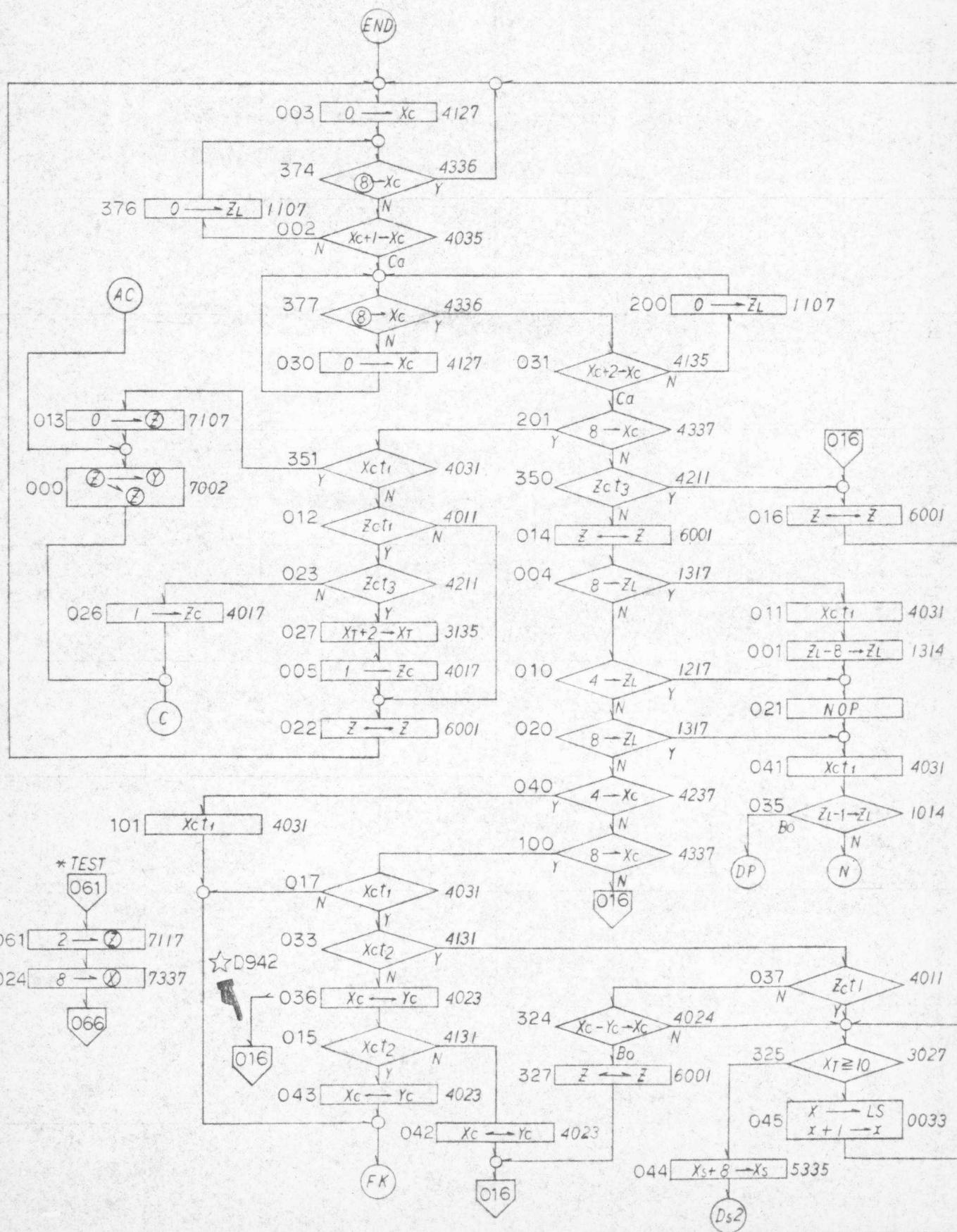
- ① 表示データの向上、又は高耐圧化
- ② 製造時間短縮（スイッチング向上、マニーバイクル可変、ROM-RAM化）
- ③ 外付けR.C.D.減少化
- ④ LSI化、CMOS化

以上の内需について 日立(株) のLSIは既に手堅けており
その裏では、NECは数歩後退していると言える。多少リスクはあるが
新味あるものを参考していく必要がある。

フローチャート

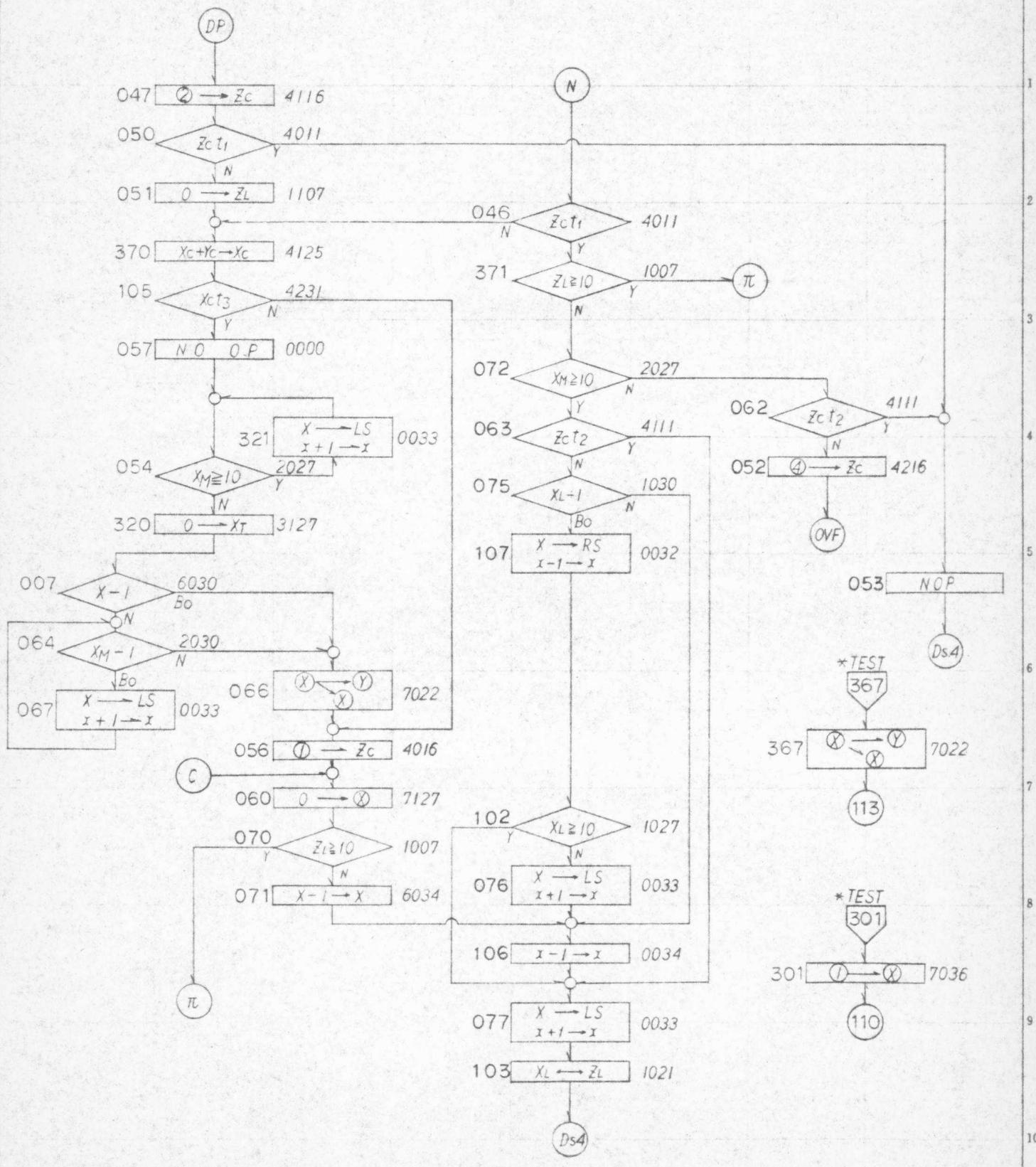
42

タイトル	年	月	日	版	承認	査閱	担当	年	月	日	版	承認	査閱	担当	登録番号
UPD 940 C	49.	6.	20	1											参照番号
941 C	49.	6.	25	2											作成者
942 C	49.	7.	6	3											
NO.1	49.	7.	15	4											
A	B	C	D	E	F	G									



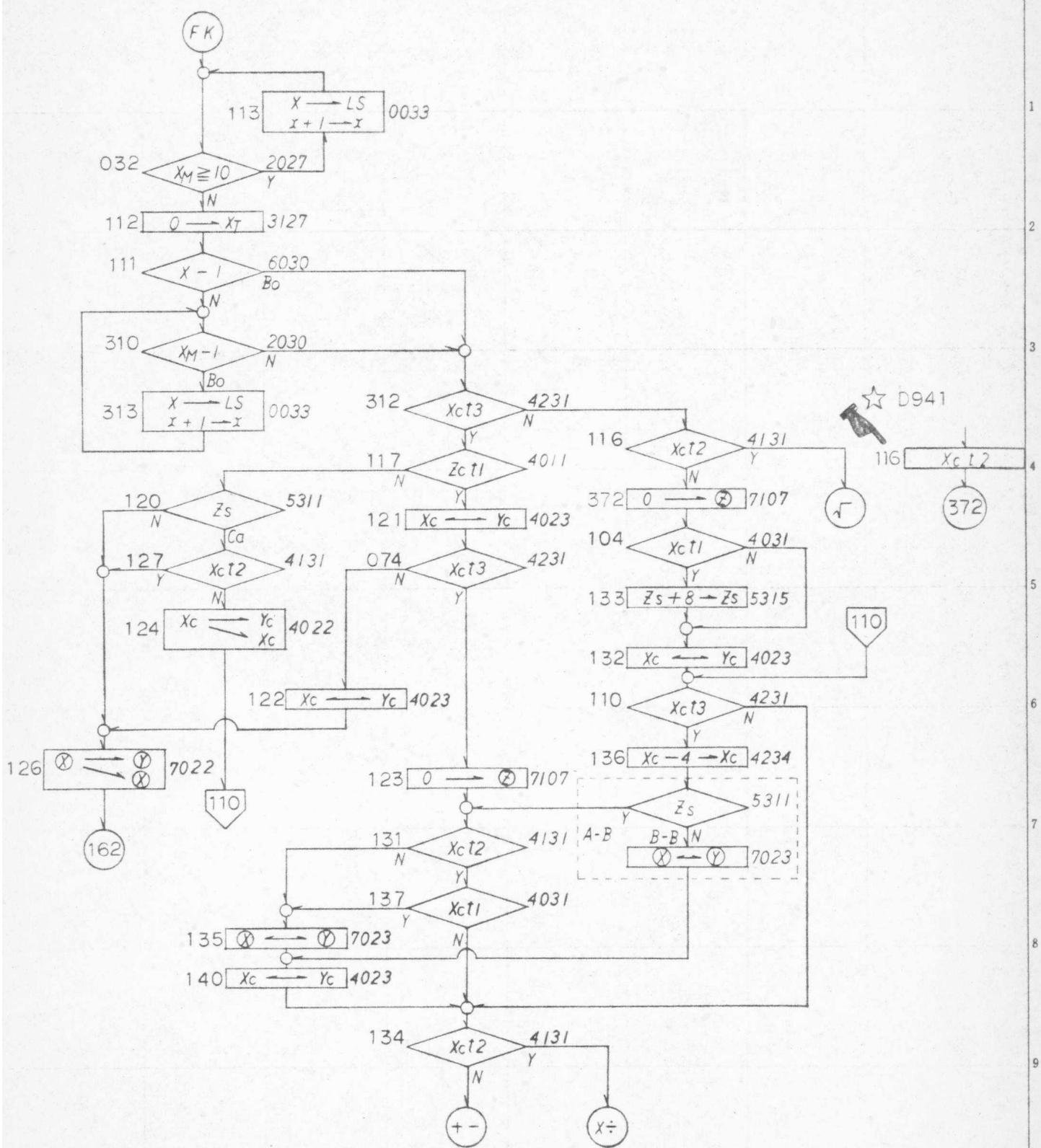
フローチャート

タイトル	年	月	日	版	承認	査閱	担当	年	月	日	版	承認	査閱	担当	登録番号
UPD 940 C															
NO.2	A	B	C	D	E	F	G	参照番号							



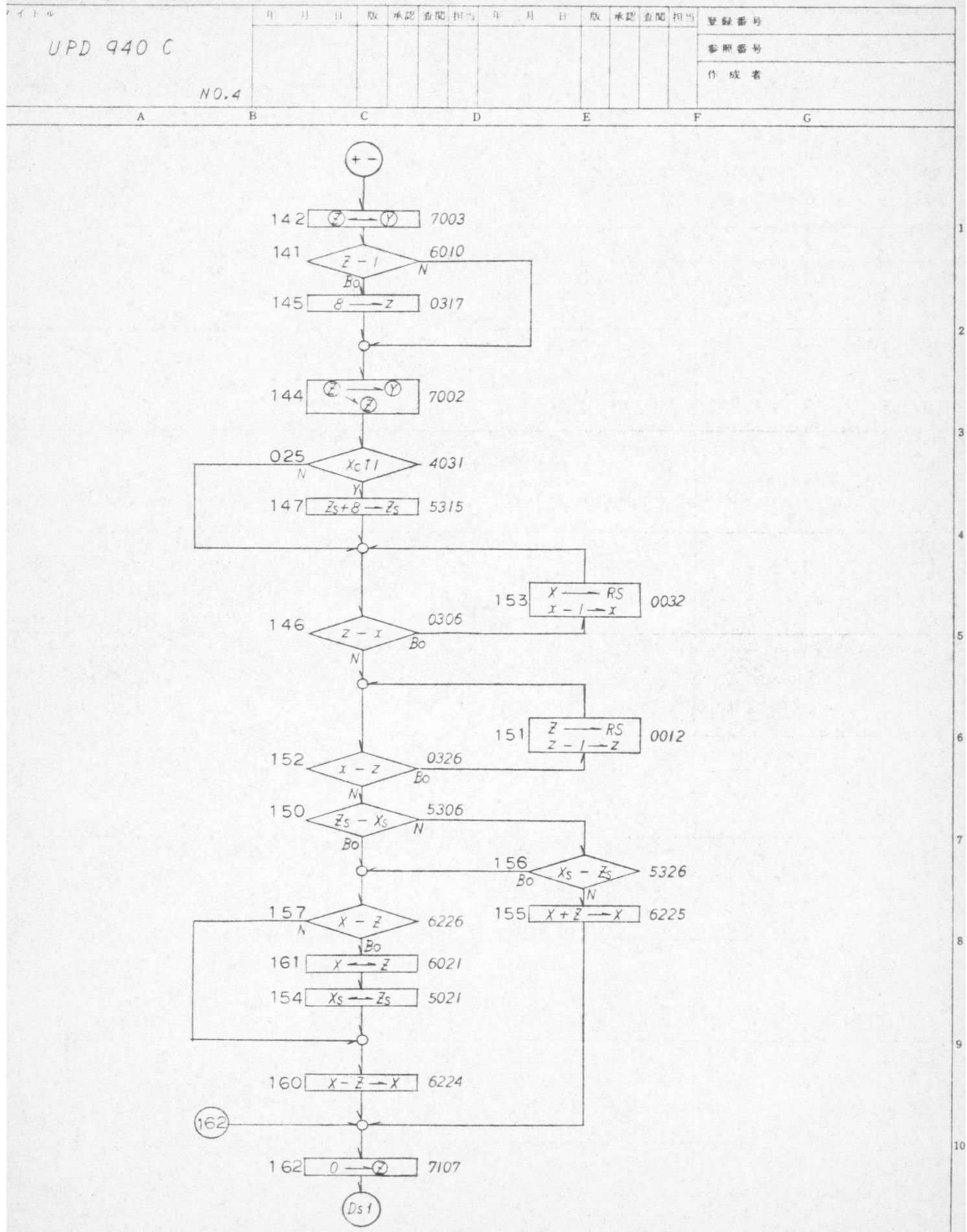
フローチャート

タイトル	年	月	日	版	承認	査閲	担当	年	月	日	版	承認	査閲	担当	登録番号
UPD 940 C															
NO.3															
A	B	C	D	E	F	G									



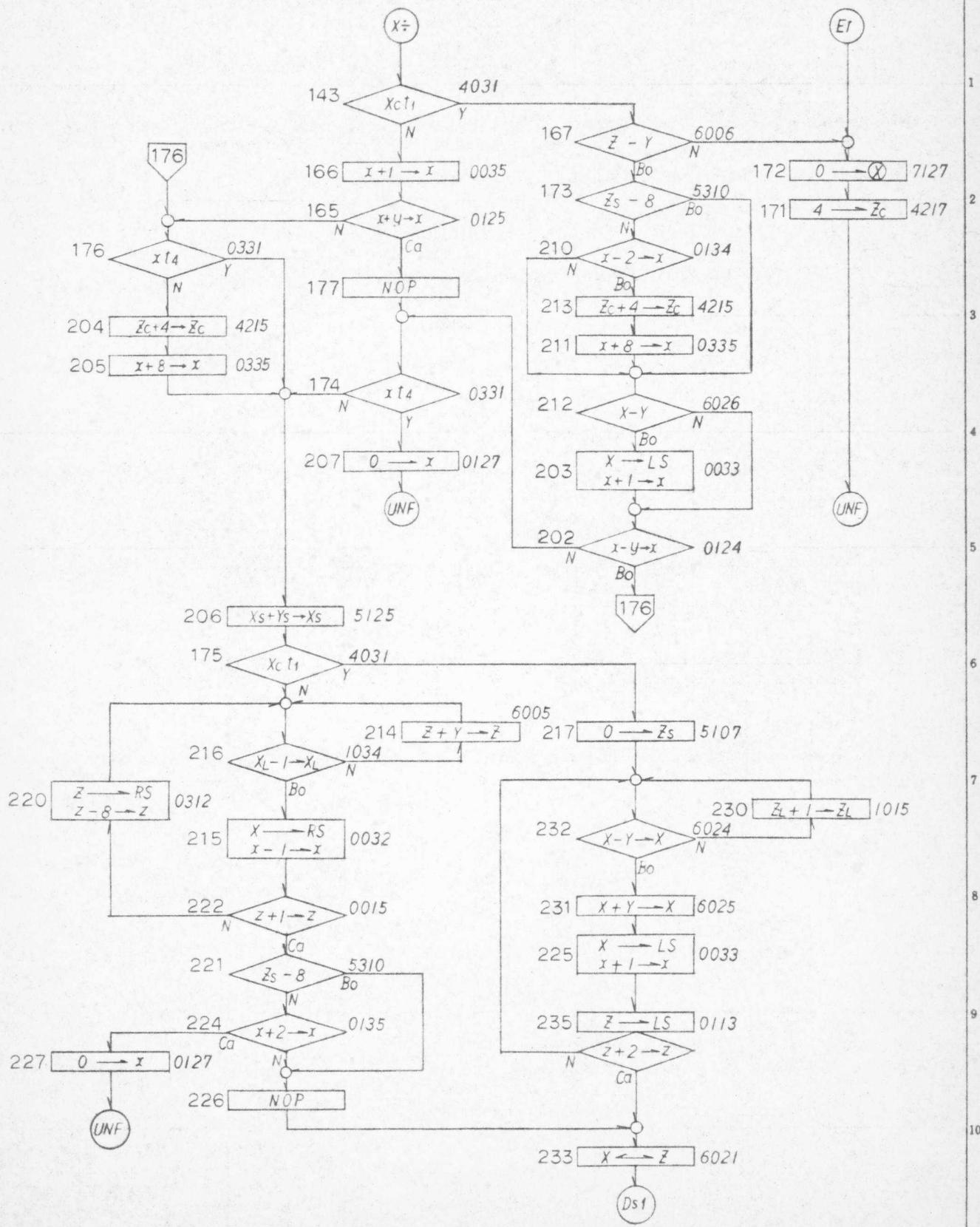
フローチャート

45

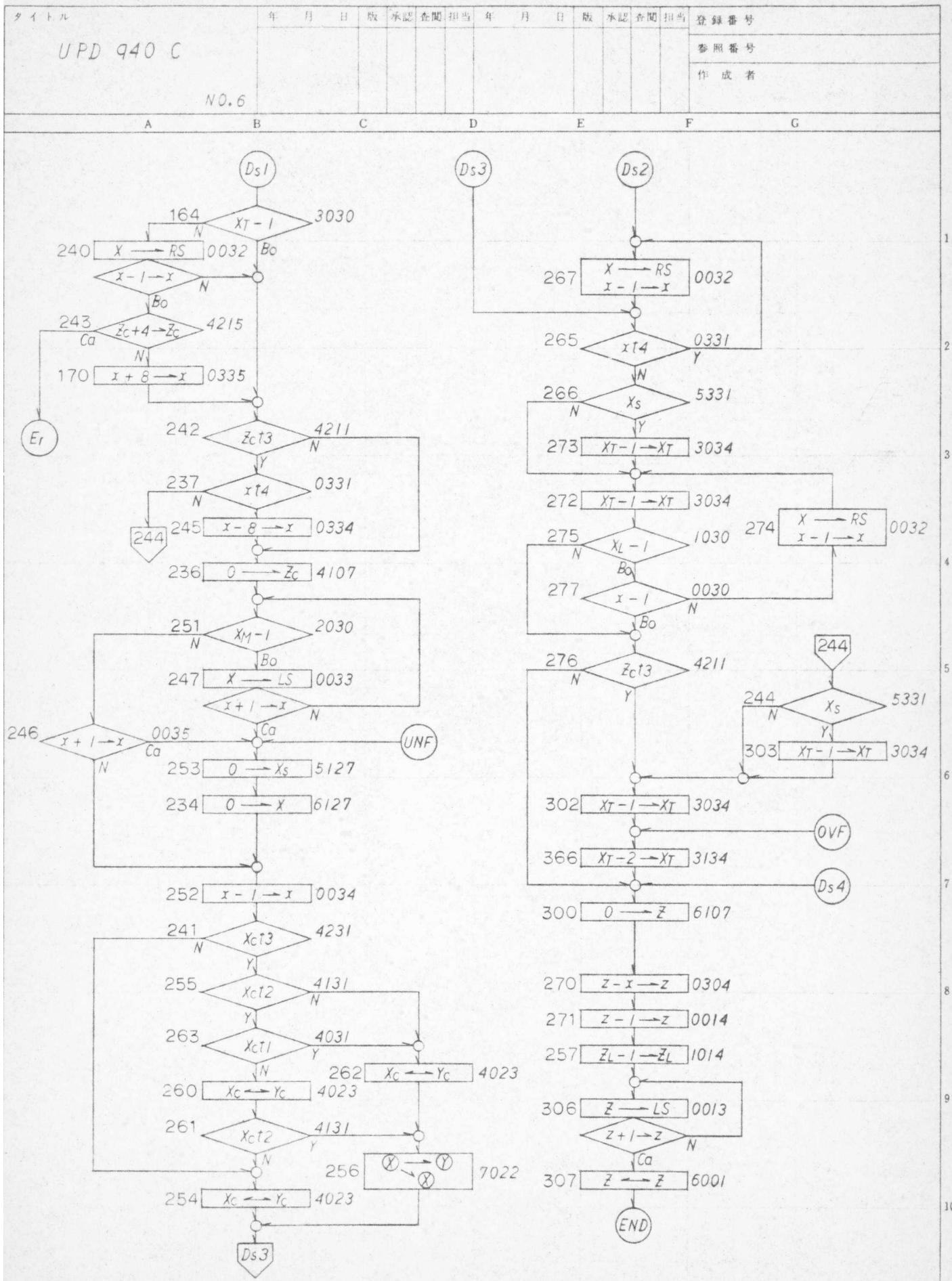


フローチャート

A	B	C	D	E	F	G	年	月	日	版	承認	査閱	担当	年	月	日	版	承認	査閱	担当	登録番号	
																						参照番号
																						作成者
NO.5																						

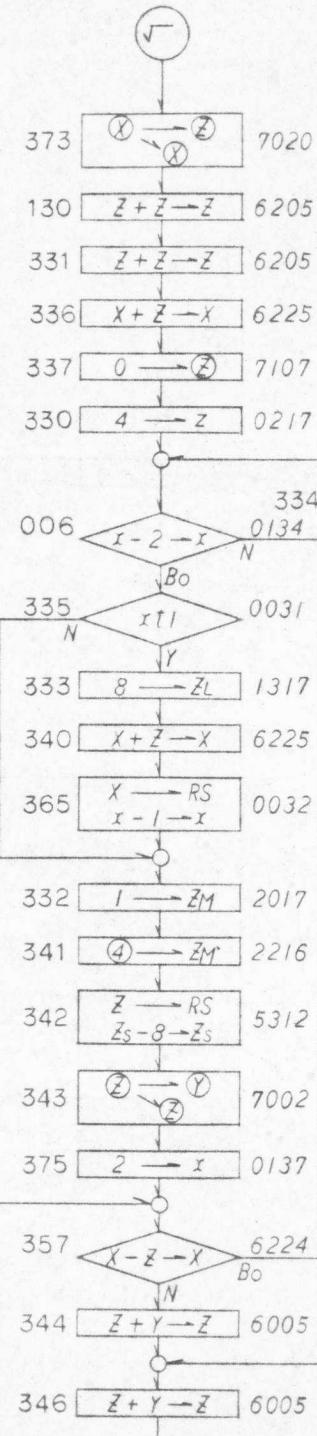
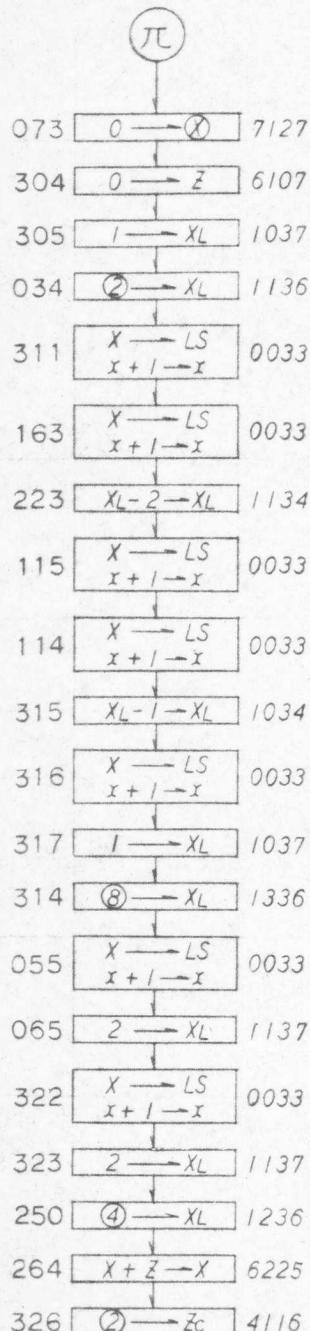


フローチャート

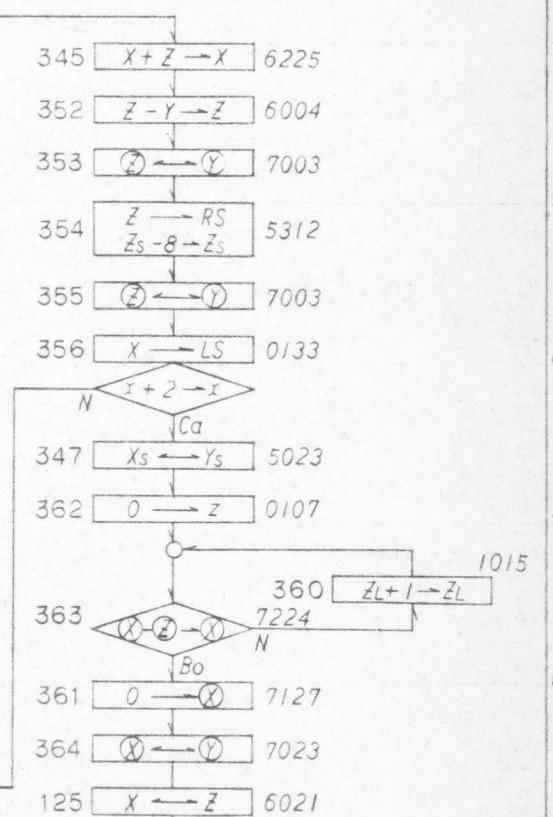
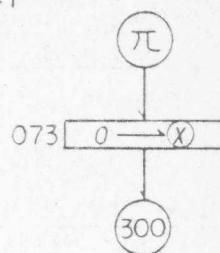


フローチャート

タイトル	年	月	日	版	承認	査閱	担当	年	月	日	版	承認	査閱	担当	登録番号
UPD 940 C															
															参照番号
NO.7	A	B	C	D	E	F	G								作成者



☆ D941



…@藏書@，…@藏書@，BE=1

B7=1

49. 4. 27,

10	9	8		1	2	3	4	←	→	9	10	11	12
										x			
	0									X_L			
	1									X_m			
	2									X_T			
	3									X_C T ₄			
	4									X_S			
	5									X			
	6									(X)			
	7												

7	6
	1 → code
	2 → code
	4 → code
	8 → code

- ① 234 のとき Key code を重畳
 ② Key 信号は表示中のみに出る

⑩ ... 3.4€

⑪ ... 1

010

A₁

A₂

